

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020007974 A
 (43)Date of publication of application: 29.01.2002

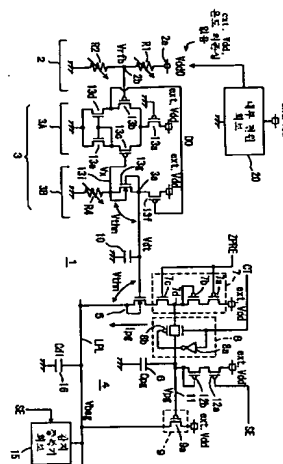
(21)Application number: 1020010013907 (71)Applicant: MITSUBISHI DENKI KABUSHIKI KAISHA
 (22)Date of filing: 17.03.2001 (72)Inventor: KONO TAKASHI
 (30)Priority: 18.07.2000 JP 2000 2000217190
 (51)Int. Cl. G11C 11/4074

(54) INTERNAL VOLTAGE GENERATING CIRCUIT

(57) Abstract:

PURPOSE: To generate internal voltage having a fixed voltage level over wide temperature range, keeping less occupancy area and low current consumption.

CONSTITUTION: Control voltage Ddt shifted from a reference voltage by threshold value is generated by a level shift circuit (3) according to the reference voltage (Vrfb) generated by a reference voltage generating circuit. A difference detecting transistor (5) is operated in a source follower mode according to the control voltage. Charge voltage of capacitors is adjusted in accordance with a voltage level of a local power line(LPL), current is supplied to the local power line from a current drive circuit (9).



© KIPO & JPO 2002

Legal Status

Date of final disposal of an application (20031016)

Patent registration number (1004143190000)

Date of registration (20031223)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G11C 11/4074

(11) 공개번호 특2002-0007974
(43) 공개일자 2002년04월29일

(21) 출원번호 10-2001-0013907
(22) 출원일자 2001년03월17일
(30) 우선권주장 2000-217190 2000년07월18일 일본(JP)
(71) 출원인 미쓰비시덴키 가부시키가이샤 다니구찌 이찌로오, 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고
(72) 발명자 고노다카시
일본도쿄도지요다쿠마루노우치2초메2-30미쓰비시덴키가부시키가이샤내
(74) 대리인 구영창, 장수길

심사청구 : 있음

(54) 내부 전압 발생 회로

요약

기존 전압 발생 회로에 의해 생성된 기준 전압에 따라 레벨 시프트 회로에 의해 기준 전압으로부터 임계치 전압 만큼 시프트한 제어 전압을 생성한다. 이 제어 전압에 따라 소스 종동기 모드로 차 검출 트랜지스터를 동작시켜, 내부 전압선의 전압 레벨에 따라 용량의 충전 전압을 조정하고, 이 충전 전압에 따라 전류 드라이브 회로로부터 내부 전압선으로 전류를 공급한다. 넓은 온도 범위에 걸쳐 일정한 전압 레벨의 내부 전압을 소점유 면적 및 저소비 전류로 발생된다.

도면

도1

색인어

기준 전압, 레벨 시프트 회로, 내부 전압선, MOS 트랜지스터, DRAM 셀

발명자

도면의 간단한 설명

- 도 1은 본 발명의 실시의 형태 1에 따르는 내부 전압 발생 회로의 구성을 나타내는 도면.
- 도 2는 본 발명의 실시의 형태 2에 따르는 내부 전압 발생 회로의 구성을 나타내는 도면.
- 도 3은 본 발명의 실시의 형태 2의 변경예를 나타내는 도면.
- 도 4는 도 3에 도시된 클럭 신호의 발생부의 구성을 개략적으로 나타내는 도면.
- 도 5는 도 3에 도시된 POR 발생 회로의 구성의 일례를 나타내는 도면.
- 도 6은 도 5에 도시된 POR 발생 회로의 동작을 나타내는 신호 파형도.
- 도 7은 도 4에 도시된 가변 주기 클럭 발생 회로의 구성을 개략적으로 나타내는 도면.
- 도 8은 도 7에 도시된 회로의 동작을 나타내는 신호 파형도.
- 도 9는 도 4에 도시된 가변 주기 클럭 발생 회로의 변경예를 나타내는 도면.
- 도 10은 도 9에 도시된 링오실레이터의 구성의 일례를 나타내는 도면.
- 도 11은 본 발명의 실시의 형태4에 따르는 내부 전압 발생 회로의 주요부의 구성을 나타내는 도면.
- 도 12는 본 발명의 실시의 형태5에 따르는 내부 전압 발생 회로의 주요부의 구성을 나타내는 도면.
- 도 13은 본 발명의 실시의 형태5의 변경예를 나타내는 도면.
- 도 14는 도 13에 도시된 내부 전압 발생 회로의 동작을 나타내는 신호 파형도.
- 도 15는 본 발명의 실시의 형태6에 따르는 내부 전압 발생 회로의 구성을 개략적으로 나타내는 도면.
- 도 16은 종래의 DRAM 셀의 단면 구조를 개략적으로 나타내는 도면.
- 도 17의 (a)는 종래의 DRAM 셀의 각 노드의 인가 전압을 나타내고, 도 17의 (b)는 BSG 방식의 메모리셀의 각 노드의 인가 전압을 나타내는 도면.

도 18의 (a)는 본 발명의 출발점이 되는 내부 전압 발생 회로의 구성을 도시하고, 도 18의 (b)는 도 18의 (a)에 도시된 내부 발생 회로의 동작을 나타내는 신호 파형도.

<도면의 주요 부분에 대한 부호의 설명>

- 1 : 내부 전압 발생 회로
- 2 : 기준 전압 발생 회로
- 3 : 레벨 시프트 회로
- 3A : 비교 회로
- 3B : 출력 회로
- 4 : 차 검출/I-V 변환부
- 5 : MOS 트랜지스터
- 6 : 용량 소자
- 7 : 프리차지(precharge) 회로
- 8 : 전하 보유 회로
- 9 : 전류 드라이브 회로
- R1, R2, R4 : 가변 저항 소자
- 13f : P 채널 MOS 트랜지스터
- 13g : N 채널 MOS 트랜지스터
- C1, C2, C3 : 가변 용량 소자
- 2c-2f : MOS 트랜지스터
- 20 : 내부 전원 회로
- 30 : POR 발생 회로
- 32 : 가변 주기 클럭 발생 회로
- 32a, 32b, 32f, 32g : 램프오실레이터
- R5, R6 : 가변 용량 소자
- 2g, 2h : MOS 트랜지스터
- 45 : 비교 회로
- 47 : 출력 회로
- 50 : P 채널 MOS 트랜지스터
- 57 : 프리차지 회로
- 65 : 전하 보유 회로
- 56 : 용량 소자
- 59 : N 채널 MOS 트랜지스터
- LPL : 로우 레벨 감지 전원선
- 90 : 내부 전압선
- 95 : 내부 회로
- 100 : 기준 전압 발생 회로
- 102, 104 : 제어 전압 발생 회로
- 106, 108 : 전압 조정 회로
- 106a, 108a : MOS 트랜지스터
- 106b, 108b : 전압 보상 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 외부 전원 전압과 접지 전압사이의 레벨의 내부 전압을 발생시키기 위한 내부 전압 발생 회로

에 관한 것이다. 보다 특정적으로는 본 발명은 온도 의존성이 없는 내부 전압을 발생시키기 위한 내부 전압 발생 회로에 관한 것이다. 보다 구체적으로는, 본 발명은 반도체 기억 장치의 메모리셀의 기억 데이터의 전압 레벨을 결정하는 내부 전압을 발생시키기 위한 회로의 구성에 관한 것이다.

최근의 컴퓨터 및 정보 처리 단말의 발전에 수반하여 이들의 기기에 있어서 주기억으로서 채용되는 메모리예의 요구는 보다 한층 고도의 것이 되었다. 즉, 대규모 기억 용량뿐만 아니라, 실효적인 데이터 전송 속도의 고속화 및 휴대 기기에서도 이용 가능하도록 저소비 전력화가 강하게 요구되고 있다. 주기억 장치로서 가장 널리 이용되고 있는 DRAM(랜덤 액세스 메모리)을 예로 들면, 클럭 신호에 동기하여 데이터의 입출력을 행하는 SDRAM(동기형 DRAM) 및 클럭 신호의 상승 엣지 및 하강 엣지 양자에 동기하여 데이터의 입출력을 행하는 DDR(더블 데이터 레이트) SDRAM 등으로 대표되는 고속 데이터 전송이 가능한 DRAM이 보급되기 시작하고 있다.

DRAM에서는 메모리셀의 캐패시터에 전하의 형태로 정보를 기억하고 있다. 이 때문에, DRAM 셀에 가입된 H(하이) 레벨 데이터는 그대로 방치하면 누설 전류에 의해 자연스럽게 소멸하기 때문에 리프레시라고 하는 데이터의 재가입 동작이 정기적으로 필요하다.

최근의 DRAM에서는 셀프 리프레시라고 하는 동작이 사양으로 정해져 있다. 이 셀프 리프레시 동작 모드에서는 DRAM 내부에서 내장 타이머에 의해 자동적으로 리프레시 타이밍이 설정되고, 이 설정된 리프레시 타이밍으로 자동적으로 리프레시 동작이 행해진다. 이 셀프 리프레시 동작은 DRAM에 액세스가 행해지지 않은 대기시에 행해진다. 따라서, 리프레시 동작 시에 소비되는 셀프 리프레시 전류를 억제함으로써, DRAM의 소비 전류를 저감시키고, 전지 구동의 예를 들면 휴대형의 통신 정보 단말등에서의 전지 수명을 길게 하여, 따라서 연속 대기 시간을 보다 길게 할 수 있다.

셀프 리프레시 전류를 억제하기 위해서는 메모리셀의 데이터 보유 특성을 개선하여 리프레시 동작 간격 T_{src} 를 길게 하는 것이 필요하다. 프로세스의 관점으로부터의 개선책으로는 이하의 것을 예로 들 수 있다: (1) 메모리셀 캐패시터의 절연막으로서 고유전율 재료를 이용하거나 메모리셀 캐패시터의 형상을 변경하는 등 메모리셀 캐패시터의 용량치를 증가시키고, 및 (2) 메모리셀 트랜지스터의 오프 리크(서브 임계 누설) 전류 I_{lb} 및 메모리셀 캐패시터 전극과 반도체 기판사이의 PN 접합에서의 누설 전류 I_{ls} 를 억제한다.

한편, 회로 설계의 관점으로부터 메모리셀 어레이 내의 전원 구성에 연구를 함으로써 메모리셀의 데이터 보유 특성을 개선하는 것도 가능하다. 이러한 회로적인 개선책 중 하나로, 아사쿠라 등에 의해 제안된 BSG(승압 감지 접지) 방식이 있다. 이 BSG 방식의 내용에 대해서는, 예를 들면 ISSCC 다이제스트 오브 테크니컬 페이퍼, 1994, 제1303페이지-제1309페이지에 상세히 설명되어 있지만, 이하에 이 BSG 방식의 원리에 대해 간단히 설명한다.

도 16은 종래의 DRAM의 메모리셀의 단면 구조를 개략적으로 나타내는 도면이다. 도 16에서, 메모리셀은 반도체 기판(500)의 표면에 간격을 두고 형성되는 고농도 N형 불순물 영역(502a 및 502b)과, 이들의 불순물 영역(502a 및 502b)사이의 채널 영역 상에 게이트 절연막(503)을 통해 형성되는 도전층(504)과, 불순물 영역(502a)에 전기적으로 접속되는 도전층(505)을 포함한다. 이들의 도전층(504 및 505) 상에, 2층의 층간 절연막(506a 및 506b)이 형성된다. 도전층(504)이 워드선 WL이 되고, 도전층(505)이 비트선 BL이 된다.

메모리셀은, 또한 층간 절연막(506a 및 506b)에 형성되는 컨택트홀을 통해 불순물 영역(502b)에 전기적으로 접속되는 도전층(510)과, 도전층(510) 상부에 대향하여 배치되는 도전층(514)을 포함한다. 도전층(510)은 그 상부 단면 형상이 V자 형상으로 형성되어 있고, 도전층(514)은 이 도전층(510)의 상부 영역에서 캐패시터 절연막(512)을 통해 V자 형상 내로 연장하는 돌출부(514a)를 포함한다. 도전층(510)이 메모리셀의 액세스 트랜지스터와 메모리셀 캐패시터와의 접속 노드, 즉 스토리지 노드 SN으로서 작용한다. 메모리셀 캐패시터 Cs는 이들의 도전층(510)과 도전층(514)이 캐패시터 절연막(512)을 통해 대향하는 영역에서 형성된다.

지금, 이 도 16에 도시된 메모리셀에서 워드선 WL이 접지 전압 GND 레벨로 유지되고, 비트선 BL에는 비트선 전압 V_{bi} 가 인가되고, 스토리지 노드 SN에는 H 레벨 데이터에 대응하는 전압 V_{ch} 가 유지되는 상태를 생각한다. 셀 플레이트 전극층 CP로서 작용하는 도전층(514)으로는 셀 플레이트 전압 V_{cp} (H 레벨 및 L 레벨의 데이터에 대응하는 전압의 중간치)가 인가된다.

메모리셀에서의 주된 누설원으로는 (1) 메모리셀 캐패시터 Cs에서의 불순물 영역(502b)과 P형 기판(500)사이의 PN 접합을 통해 P형 기판(500)으로 흐르는 기판 누설 전류 I_{ls} , 및 (2) 액세스 트랜지스터의 서브 임계 특성에 의해 결정되는 비트선 BL 방향으로의 누설 전류 I_{lb} 를 예로 들 수 있다.

P형 기판(500)에서의 누설 전류 I_{ls} 의 크기는 불순물 영역(502b)과 P형 기판(500)사이의 PN 접합에 인가되는 전위차 V_{pr} 에 의존하며, 이 전위차 V_{pr} 이 클수록 누설 전류 I_{ls} 가 커진다. 도 16에서는 스토리지 노드 SN의 전압이 H 레벨 데이터에 상당하는 전압 V_{ch} 이고, P형 기판(500)에는 바이어스 전압 V_{bb} 가 인가되기 때문에, 이 전위차 V_{pr} 은 다음 식으로 나타내어진다.

$$V_{pr} = V_{ch} - V_{bb}$$

한편, 액세스 트랜지스터를 통해 비트선 BL로 흐르는 누설 전류 I_{lb} 는 액세스 트랜지스터의 게이트-소스 간 전압 V_{gs} 와 임계치 전압 V_{th} 의 차에 의해 다음 수학식으로 나타내어진다.

$$I_{lb} = I_0 \cdot \left(\frac{V_{gs} - V_{th}}{V_{gs}} \right)^2$$

여기서, I_0 는 누설을 나타낸다. 상기 수학식 1에서 I_{lb0} 은 임계치 전압 V_{th} 를 정의하는 전류치, S는 트랜지스터 구조 및 프로세스적으로 결정되는 계수로서, $dV_{gs}/d(\log I_{lb})$ 로 나타내어진다. 여기서, I_d 는 드레인 전류를 나타낸다.

상기 수학식 1은 누설 전류 I_{lb} 가 액세스 트랜지스터 MT의 게이트 소스간 전압에 강하게 의존하고 있는 것을 나타내고 있다. 이 누설 전류 I_{lb} 는 비트선이 레벨업 때 최악의 값이 된다. 종래에는 이 비트선의 레벨은 접지 전압 GND 레벨이다.

상기 수학식 1에서는 누설 전류 I_{lb} 는 액세스 트랜지스터가 접속하는 비트선 BL의 전압 V_{bl} 에 의존하지 않도록 보인다. 그러나, 임계치 전압 V_{th} 는 기판-소스간 전압 $V_{bs}=V_{bb}-V_{bl}$ 에 의존하고 있다. 바이어스 전압 V_{bb} 가 마이너스의 전압이고, 비트선 전압, 즉 소스 전압 V_{bl} 이 낮을수록 기판-소스간 전압 V_{bs} 의 절댓값이 작아지고, 임계치 전압 V_{th} 가 작아진다.

예를 들면, 리프레시 대상으로 되어 있는 메모리 블록 내에서 비선택 워드선에 접속되는 메모리셀 중 대응하는 비트선 BL이 L 레벨 데이터에 해당하는 전압에 흔들리는 경우, 이 비선택 워드선에 접속되는 메모리셀의 액세스 트랜지스터는 워드선 BL이 접지 전압 GND 레벨이라도, 그 기판-소스간 전압 V_{bs} 의 절댓값이 작아지고, 비트선 누설 전류 I_{lb} 가 커진다. 상기 수학식 1로부터 알 수 있듯이 임계치 전압 V_{th} 가 겨우 0.1V 어긋났다고 해도, 통상 S 팩터는 0.1V 정도이기 때문에, 비트선 누설 전류 I_{lb} 는 10배정도 변동한다.

이 비트선 누설 전류 I_{lb} 를 억제하기 위해 도 17의 (a)에 도시된 바와 같이 P형 기판(500)의 바이어스 전압 V_{bb} 를 마이너스 전압으로 설정하는 것을 생각할 수 있다. 기판 바이어스 전압 V_{bb} 를 마이너스 방향으로 깊은 바이어스 전압에 설정하면, 기판-소스간 전압 V_{bs} 의 절댓값을 크게 할 수 있고, 따라서 메모리셀 액세스 트랜지스터 MT의 임계치 전압 V_{th} 를 크게 할 수 있고, 비트선 누설 전류 I_{lb} 를 억제할 수 있다.

그러나, 반대로 불순물 영역(502b)과 P형 기판(500)사이의 PN 접합에 인가되는 전압차 $V_{pn}(=V_{ch}-V_{bb})$ 이 커지고, 기판 누설 전류 I_{ls} 가 증가한다. 감지 전원 전압 V_{dds} 는 스토리지 노드 SN의 H 레벨 데이터에 대응하는 전압 V_{ch} 의 전압 레벨을 결정하고 있다. 이 깊은 마이너스 방향의 기판 바이어스에 의해 기판 누설 전류 I_{ls} 가 커진 경우, 감지 전원 전압 V_{dds} 를 낮추면, H 레벨 데이터를 장기에 걸쳐 유지하는 것이 곤란해진다.

BSG 방식에서는 이들 비트선 누설 전류 I_{lb} 및 기판 누설 전류 I_{ls} 양자를 동시에 저감시키기 위해 도 17의 (b)에 도시된 바와 같이 L 레벨 데이터의 전압, 즉 감지 접지 전압을 접지 전압 GND보다 조금 높은 전압 V_{bsg} 로 설정한다. P형 기판(액세스 트랜지스터의 백 게이트)에의 바이어스 전압은 접지 전압 GND 레벨로 설정된다. 워드선 BL은 비선택 상태일 때에는 접지 전압 GND 레벨이다. 따라서, 액세스 트랜지스터 MT의 게이트-소스간 전압 V_{gs} 는 $-V_{bsg}$ 의 마이너스 전압이 된다. 따라서, 상기 수학식 1로부터 BSG 방식으로는 누설 전류 I_{lb} 가 지수 관계적으로 저감한다는 것이 분명해졌다. P형 기판(백 게이트)에는 접지 전압 GND가 인가되기 때문에 스토리지 노드 SN에 대응하는 불순물 영역(502b)과 P형 기판(500)사이의 PN 접합에 인가되는 전압차 V_{pn} 은 H 레벨 데이터의 전압 V_{ch} 와 같아지고, PN 접합에 인가되는 전압차를 작게 할 수 있어, 기판 누설 전류 I_{ls} 를 저감시킬 수 있다.

즉, 마이너스 전압을 P형 기판(500)에 인가하지 않아도, 액세스 트랜지스터 MT의 게이트-소스간 전압 V_{gs} 를 마이너스의 값으로 설정할 수 있고, 또한 액세스 트랜지스터 MT의 소스 불순물 영역(502a)과 P형 기판(500)사이의 PN 접합에 인가되는 전압 V_{bs} 도 역 바이어스 상태가 되며, 비트선 누설 전류 I_{lb} 및 기판 누설 전류 I_{ls} 양자를 저감시킬 수 있다. 이들의 누설 전류의 저감에 의해 메모리셀의 전하 보유 특성이 개선되며, 따라서 리프레시 간격 T_{src} 를 길게 할 수 있어, 리프레시 전류를 저감시킬 수 있다.

BSG 방식은 리프레시 특성의 개선에 대해 큰 효과가 있지만, 실제로 채용하는 경우에는 안정된 승압 감지 접지 전압 V_{bsg} 레벨을 발생시키고 유지할 수 있는지가 최대의 과제가 된다. 감지 동작 시에 발생하는 승압 감지 접지 전압 V_{bsg} 레벨의 정밀도뿐만 아니라, 감지 증폭기 회로가 활성화되는 기간 중에도 이 승압 감지 접지 전압 V_{bsg} 의 전압 레벨을 유지할 필요가 있다. 상술된 바와 같이 액세스 트랜지스터의 임계치 전압 V_{th} 는 전압 $V_{bs}=V_{bb}-V_{bl}$ 로 결정되며, 상술된 수학식 1을 따라 비트선 누설 전류 I_{lb} 가 결정된다. 따라서, 비트선 전압 V_{bl} 이 누설 등에 의해 저하하면 비트선 누설 전류 I_{lb} 가 증가하며, 나아가서는 메모리셀의 데이터 보유 특성의 악화로 연결된다.

승압 감지 접지 전압 V_{bsg} 레벨의 유지를 목적으로 하는 구체적인 회로는, 본 발명자에 의해 이미 이하의 문헌에서 개시되어 있다. 1999 Symposium on VLSI Circuits Digests of Technical Papers, 'A Precharged-Capacitor-Assisted Sensing (PCAS) Scheme with Novel Level Controller for Low Power DRAMs', T. Kono et al., pp.123-124

도 18의 (a)는 상술된 문헌에 도시되어 있는 승압 감지 접지 전압 발생 회로의 구성을 나타내는 도면이다. 도 18의 (a)에서 승압 감지 접지 전압 발생 회로(1)는 기준 전압 V_{rfb} 를 발생시키는 기준 전압 발생 회로(2)와, 기준 전압 발생 회로(2)로부터의 기준 전압 V_{rfb} 를 받아 레벨 시프트하여 제어 전압 $V_{dt}(=V_{rfb}+V_{thp})$ 를 생성하는 레벨 시프트 회로(3)와, 레벨 시프트 회로(3)로부터의 제어 전압 V_{dt} 와 로우 레벨 감지 전원선 LPL 상의 전압 V_{bsg} 의 차를 검출하며, 그 차에 따른 전류 I_{pg} 를 흘리는 N 채널 MOS 트랜지스터(5)와, 차 검출용 MOS 트랜지스터(5)의 방전 전류 I_{pg} 에 의해 충전 전압이 조정되는 용량 소자(6)와, 용량 소자(6)를 소정 전압에 프리차지하는 프리차지 회로(7)와, 용량 소자(6)의 충전 전하를 유지하기 위한 전하 보유 회로(8)와, 용량 소자(6)의 충전 전압 V_{pg} 에 따라 외부 전원 노드로부터 로우 레벨 감지 전원선 LPL로 전류를 공급하는 전류 드라이브 회로(9)를 포함한다.

기준 전압 발생 회로(2)는 외부 전원 전압에 의존하지 않는 내부 기준 전압(예를 들면 어레이 전원 전압) V_{dd0} 를 받는 노드와 접지 노드 사이에 직렬로 접속되는 가변 저항 소자 R1 및 R2를 포함한다. 이들의 가변 저항 소자 R1 및 R2의 접속 노드로부터 기준 전압 V_{rfb} 가 출력된다.

레벨 시프트 회로(3)는 내부 노드와 접지 노드 사이에 직렬로 접속되는 저항 소자 R3 및 P 채널 MOS 트랜지스터(3p)를 포함한다. 저항 소자 R3의 저항치는 P 채널 MOS 트랜지스터(3p)의 채널 저항(온 저항)보다도 충분히 큰 값으로 설정되어 있다. 따라서, 이 P 채널 MOS 트랜지스터(3p)는 게이트에 기준 전압 V_{rfb} 를 받아 소스 증동기 모드로 동작하며, 그 소스-게이트간 전압을 임계치 전압의 절댓값 V_{thp} 의 전압 레벨로 유지한다. 이 레벨 시프트 회로(3)는, 단순히 차 검출용의 MOS 트랜지스터(5)의 게이트 용량을 충전

하는 것이 요구될 뿐으로, 저항 소자 R3의 저항치를 충분히 크게 하여 소비 전류를 저감시킨다.

MOS 트랜지스터(5)는 그 게이트가 레벨 시프트 회로(3)의 출력 노드에 접속되고, 그 소스가 로우 레벨 감지 전원선 LPL에 접속된다. 레벨 시프트 회로(3)로부터의 제어 전압 V_{dt} 와 로우 레벨 감지 전원선 LPL 상의 전압 V_{bsg} 의 차가 임계치 전압 V_{thn} 이상이 되면 MOS 트랜지스터(5)가 도통하여 전류 I_{pg} 를 흘린다. MOS 트랜지스터(5)의 게이트에는 이 MOS 트랜지스터의 게이트 전압(제어 전압) V_{dt} 를 안정화하기 위한 안정화 용량(10)이 설치된다.

프리차지 회로(7)는 외부 전원 전압 $extV_{dd}$ 를 받는 외부 전원 노드와 노드(7d)사이에 직렬로 접속되는 P 채널 MOS 트랜지스터(7a 및 7b)와, 노드(7d)와 MOS 트랜지스터(5)사이에 접속되는 N 채널 MOS 트랜지스터(7c)를 포함한다. MOS 트랜지스터(7a 및 7c)는 각각의 게이트에 프리차지 지시 신호 ZPRE를 받아 상호 상보적으로 도통한다. P 채널 MOS 트랜지스터(7b)는 그 게이트 및 드레인이 노드(7d)에 접속되며, 다이오드 모드로 동작하여 임계치 전압의 절대치 만큼의 전압 강하를 생기게 한다.

전하 보유 회로(8)는 전하 전송 지시 신호 CT를 반전시키는 인버터(8a)와, 전하 전송 지시 신호 CT 및 인버터(8a)의 출력 신호에 따라 도통하고, 노드(11)와 노드(7d)를 선택적으로 접속하는 트랜스미션 게이트(8b)를 포함한다. 트랜스미션 게이트(8b)가 비도통 상태가 되면, 용량 소자(6)가 프리차지 회로(7) 및 MOS 트랜지스터(5)로부터 분리되며, 이 용량 소자(6)의 충전 경로가 차단되어 용량 소자(6)의 충전 전하가 유지된다.

승압 감지 접지 전압 발생 회로(1)는 또한 외부 전원 노드와 노드(11) 사이에 접속되는 P 채널 MOS 트랜지스터(12a 및 12b)를 포함한다. MOS 트랜지스터(12a)는 게이트에 감지 동작 활성화 신호 SE를 받고, MOS 트랜지스터(12b)는 게이트가 노드(11)에 접속되어 다이오드 모드로 동작한다. 이 감지 동작 활성화 신호 SE는 로우 레벨 센스 전원선 LPL 상의 전압 V_{bsg} 를 한쪽 동작 전원 전압으로서 동작하는 감지 증폭기 회로(15)의 동작을 활성화하기 위한 신호이다.

이 감지 증폭기 회로(15)는 감지 동작 활성화 신호 SE가 H 레벨의 활성 상태에 따라 감지 동작을 개시하고, 로우 레벨 감지 전원선 LPL에 비트선으로부터의 방전 전류를 공급한다. 이 로우 레벨 감지 전원선 LPL에는 승압 감지 접지 전압 V_{bsg} 를 안정화하기 위한 안정화 용량(16)이 설치된다. 이어서, 이 도 18의 (a)에 도시된 승압 감지 접지 전압 발생 회로의 동작을 도 18의 (b)에 도시된 동작 파형을 참조하여 설명한다.

시각 T0 이전에는 감지 동작 활성화 신호 SE는 L 레벨의 비활성 상태에 있고, 감지 증폭기 회로(15)는 동작하지 않는다. 이 상태에서는 MOS 트랜지스터(12a)가 온 상태가 되며, 노드(11)는 $extV_{dd}-V_{thp}$ 의 전압 레벨에 프리차지된다. 이 노드(11)의 전압 V_{pg} 에 의해 전류 드라이브 회로(9)에 포함되는 P 채널 MOS 트랜지스터(9a)는 그 게이트-소스간 전압이 그 임계치 전압과 같아지며, 거의 오프 상태를 유지한다. 여기서, P 채널 MOS 트랜지스터의 임계치 전압은 전부 같다고 한다. 이 로우 레벨 감지 전원선 LPL에 예를 들면 접지 전압 GND의 노드사이에 누설 패스가 존재하는 경우, 이 승압 감지 접지 전압 V_{bsg} 의 전압 레벨이 서서히 저하한다.

또한, 감지 동작 활성화 신호 SE의 비활성 상태일 때, 프리차지 지시 신호 ZPRE가 L 레벨의 활성 상태에 있다. 따라서, 프리차지 회로(7)에서는 MOS 트랜지스터(7a)가 온 상태, MOS 트랜지스터(7c)가 오프 상태가 되며, 노드(7d)가 전압 $extV_{dd}-V_{thp}$ 의 전압 레벨로 프리차지된다. 또한, 전하 전송 지시 신호 CT는 H 레벨이고, 트랜스미션 게이트(8b)가 도통하고, 노드(11)는 프리차지 회로(7)에 의해 전압 $extV_{dd}-V_{thp}$ 의 전압 레벨로 프리차지된다. 이들의 신호 ZPRE 및 CT는 감지 동작 활성화 신호 SE의 활성화에 따라 주기적으로 활성화된다.

시각 T0에서 감지 동작 활성화 신호 SE가 H 레벨의 활성 상태로 구동되며, 따라서 감지 증폭기 회로(15)가 동작하고, 이 로우 레벨 감지 전원선 LPL로 방전 전류를 공급한다. 지금, 승압 감지 접지 전압 V_{bsg} 가 기준 전압 V_{rfb} 보다도 낮은 전압 레벨의 상태를 생각한다. MOS 트랜지스터(12a)는 이 감지 동작 활성화 신호 SE의 활성화에 응답하여 오프 상태가 되며, 노드(11)의 프리차지 동작을 완료한다.

시각 T1에서 프리차지 지시 신호 ZPRE가 H 레벨로 상승하고, MOS 트랜지스터(7a)가 오프 상태, MOS 트랜지스터(7c)가 온 상태가 되고, 프리차지 회로(7)에 의한 용량 소자(6)의 프리차지 동작이 완료된다. 이 때, 또한 MOS 트랜지스터(12a)는 오프 상태에 있기 때문에 노드(11)는 외부 전원 노드로부터 분리된다.

한편, 차 검출용의 MOS 트랜지스터(5)가 용량 소자(6)에 MOS 트랜지스터(7c) 및 트랜스미션 게이트(8b)를 통해 결합된다. MOS 트랜지스터(5)는 그 게이트로 제어 전압 $V_{dt} (=V_{rfb}+V_{thp})$ 를 받아, 그 소스에 승압 감지 접지 전압 V_{bsg} 를 받는다. 따라서, MOS 트랜지스터(5)는 다음 수학적 2가 만족될 때에 온 상태가 되며, 용량 소자(6)로부터 로우 레벨 감지 전원선 LPL로 전류를 공급한다.

$$V_{rfb}+V_{thp} > V_{bsg}+V_{thn}$$

임계치 전압 V_{thp} 및 V_{thn} 이 모두 같으면, 승압 감지 접지 전압 V_{bsg} 는 기준 전압 V_{rfb} 와 같아지도록 그 전압 레벨이 제어된다. 여기서, 임계치 전압의 절대치 V_{thp} 를, 이하 단순히 임계치 전압이라고 칭한다. 임계치 전압 V_{thp} 및 V_{thn} 이 같지 않을 경우에는, 기준 전압 V_{rfb} 를 $V_{bsg}+V_{thn}-V_{thp}$ 로 설정하면 좋다.

MOS 트랜지스터(5)를 통해 용량 소자(6)의 충전 전하가 로우 레벨 감지 전원선 LPL로 방전된다. 즉, 노드(3a) 상의 제어 전압 V_{dt} 와 로우 레벨 감지 전원선 LPL 상의 승압 감지 접지 전압 V_{bsg} 와의 차에 따른 전류를 MOS 트랜지스터(5)가 방전하며, 이 방전 전류에 의해 용량 소자(6)의 충전 전압 V_{pg} 가 변화한다. 용량 소자(6)의 용량치 C_{pg} 는 안정화 용량(16)의 용량치 C_{dl} 보다도 충분히 작고, MOS 트랜지스터(5)에 따른 방전 전류에 의해 용량 소자(6)의 충전 전압 V_{pg} 가 크게 변화한다.

시각 T2에서 전하 전송 지시 신호 CT가 L 레벨로 저하하고, 트랜스미션 게이트(8b)가 비도통 상태가 된다. 시각 T2 및 T1사이의 시각 T'사이에 MOS 트랜지스터(5)를 통해 로우 레벨 감지 전원선 LPL로 유입되

는 모든 전하 Q_{pg} 는 다음 수학적 식 3으로 나타내어진다.

$$Q_{pg} = \int I_{pg} \cdot dt$$

단, 적분 기간 T 는 $T_1 < T < T_2$ 이다.

시각 T 에서의 노드(11) 상의 전압 V_{pg} 의 전압 레벨이 다음 수학적 식 4로 주어진다.

$$V_{pg} = \text{extVdd} - V_{thp} - Q_{pg} / (C_{pg} + C_g)$$

단, C_g 는 드라이브용의 MOS 트랜지스터(9a)가 온 상태가 되고, 채널이 형성되었을 때의 이 MOS 트랜지스터(9a)의 게이트 용량을 나타낸다. 이 전류 드라이브 회로(9)에서 MOS 트랜지스터(9a)가 온 상태가 되는 것은 그 게이트-소스간 전압 V_{gs} 가 임계치 전압과 같아졌을 때이다. 즉, 다음 수학적 식 5가 만족되었을 때에 MOS 트랜지스터(9a)가 온 상태가 된다.

$$V_{pg} < \text{extVdd} - V_{thp}$$

상기 수학적 식 4 및 수학적 식 5로부터 MOS 트랜지스터(5)를 통해 방전이 생기면, 바로 드라이브용의 MOS 트랜지스터(9a)가 온 상태가 되고, 외부 전원 노드로부터 로우 레벨 감지 전원선 LPL에 전류를 공급하는 것이 이해된다.

또한, 상기 수학적 식 4에 의해 노드(11)의 용량치($Q_{pg} + C_g$)가 작을수록, 방전 전하량 Q_{pg} 가 미소해도, 노드(11)의 전압 V_{pg} 이 크게 변화하는 것을 알 수 있다. 즉, 승압 감지 접지 전압 V_{bsg} 가 기준 전압 V_{rfb} 로부터 약간 어긋나더라도 MOS 트랜지스터(5)를 통한 방전 전류 I_{pg} 에 의해 노드(11)의 전압 V_{pg} 이 크게 변화하고, 드라이브용의 MOS 트랜지스터(9a)를 통해 급속히 외부 전원 노드로부터 로우 레벨 감지 접지선 LPL로 전류가 유입, 이 전압 V_{bsg} 의 전압 레벨이 상승한다.

시각 T_2 에서, 또한 전하 전송지시 신호 CT가 L 레벨의 비활성 상태가 되고, 트랜스미션 게이트(8b)가 비도통 상태가 되며, 용량 소자(6)와 MOS 트랜지스터(5)가 분리되며, 노드(11) 상의 전압 V_{pg} 는 이 시각 T_2 에서의 전압 레벨로 유지된다. 이 상태에서, 드라이브용의 MOS 트랜지스터(9a)가 로우 레벨 감지 접지선 LPL로 공급한다.

시각 T_3 에서 프리차지 지시 신호 ZPRE가 활성 상태가 되며, 또한 전하 전송 지시 신호 CT가 활성 상태가 되며, MOS 트랜지스터(5)와 용량 소자(6)가 분리되고, 노드(11)가 프리차지 회로(7)에 의해 다시 extVdd-Vthp의 전압 레벨로 프리차지되고, 다음 전압차 검출 동작에 구비한다. 이 동작이 감지 동작 활성화 신호 SE가 H 레벨이 있는 동안 반복하여 실행되며, 승압 감지 접지 전압 V_{bsg} 가 기준 전압 V_{rfb} 와 같아지도록 제어된다.

본 발명이 이루고자 하는 기술적 과제

상술된 바와 같이 용량 소자의 충전 전압을 로우 레벨 감지 전원선 LPL 상의 전압 V_{bsg} 과 제어 전압 V_{dt} 의 차에 따라 설정함으로써, 저소비 전류로 이 차를 검출하고, 고속으로 승압 감지 접지 전압 V_{bsg} 의 레벨 변동을 억제할 수 있다.

이 승압 감지 접지 전압 V_{bsg} 의 전압 레벨은 제어 전압 V_{dt} 보다도 차 검출용 MOS 트랜지스터(5)의 임계치 전압 V_{thn} 만큼 낮다. 일반적으로 기준 전압 V_{rfb} 는 승압 감지 접지 전압 V_{bsg} 의 목표치를 $V_{bsg}(0)$ 으로 하면, 다음 식을 만족하도록 설정된다.

$$V_{rfb} = V_{bsg}(0) + V_{thn} - V_{thp}$$

임계치 전압 V_{thn} 및 V_{thp} 의 온도 특성 등의 특성이 같고, 항상($V_{thn} - V_{thp}$)이 일정 값을 취하는 경우에는 기준 전압 V_{rfb} 는 온도 의존성이 없으며, 넓은 온도 범위에 걸쳐 일정 값을 취하고, 따라서 승압 감지 접지 전압도 넓은 온도 범위에 걸쳐 일정치로 유지할 수 있다. 그러나, 이들의 임계치 전압 V_{thn} 및 V_{thp} 의 프로세스의 파라미터의 변동 등에 기인하는 값의 변동, 및 양자의 온도 특성이 다르다는 등의 문제가 생기며, 넓은 온도 범위에 걸쳐 이 기준 전압 V_{rfb} 를 일정치로 유지하는 것이 곤란해지며, 따라서 승압 감지 접지 전압 V_{bsg} 의 온도 의존성 등의 동작 환경 의존성을 없애는 것이 곤란해진다.

기준 전압 발생 회로(2)에서 이용되는 저항 소자로서 기준 전압 V_{rfb} 의 온도 의존성을 아주 억제하기 위해서는 배선 저항 등의 순저항 소자를 이용하는 것이 바람직하다. 그러나, 이러한 순저항 소자를 이용한 경우, 레이아웃 면적이 증대한다고 하는 문제가 생긴다.

또한, 이 승압 감지 접지 전압에 한하지 않고, 감지 전원 전압 V_{dds} 를 이 도 18의 (a)에 도시된 회로와 동일한 구성을 이용하여 발생시키는 경우에도 동일한 문제가 생긴다. 즉, 일반적으로 캐패시터의 충전 전하를 대상 전압과 기준 전압의 차에 따라 제어하는 방식의 내부 전압 발생 회로에서 이 대상 전압의 온도 의존성을 없애는 것이 곤란하다고 하는 문제가 생긴다.

또한, 전원 투입 직후 등의 과도시에는 기준 전압 V_{dd} (외부 전원 전압)에 의존하지 않는 내부에서 발생되는 전압이 안정화할 때까지, 제어 전압을 소정의 전압 레벨로 설정할 수 없고, 따라서 승압 감지 접지 전압 등의 내부 전압을 단기간에 원하는 전압 레벨로 설정할 수 없게 된다고 하는 문제가 생긴다.

또한, 휴대 기기등에의 응용으로부터 가능한 한 저소비 전류이면서 저점유 면적에서 필요한 내부 전압을 발생시키는 것이 바람직하다.

본 발명의 목적은 넓은 동작 범위에 걸쳐 안정적으로 원하는 전압 레벨의 내부 전압을 발생시킬 수 있는 내부 전압 발생 회로를 제공하는 것이다.

본 발명의 다른 목적은 넓은 온도 범위에 걸쳐 일정한 전압 레벨을 유지하는 내부 전압을 발생시킬 수 있는 내부 전압 발생 회로를 제공하는 것이다.

본 발명의 또 다른 목적은 전원 투입 직후 등의 과도시에 내부 전압을 고속으로 원하는 전압 레벨로 설정할 수 있는 내부 전압 발생 회로를 제공하는 것이다.

본 발명의 또 다른 목적은 소비 전류 및 점유 면적을 줄대시키지 않고, 원하는 전압 레벨의 내부 전압을 발생시킬 수 있는 내부 전압 발생 회로를 제공하는 것이다.

발명의 구성 및 작용

본 발명에 따른 내부 전압 발생 회로는 기준 전압을 발생시키는 기준 전압 발생 회로와, 이 기준 전압과 제1 노드의 전압을 비교하여 그 비교 결과를 나타내는 신호를 생성하는 비교기와, 제1 전원 노드에 결합되고, 비교기의 출력 신호에 따라 제2 노드와 제1 전원 노드사이에 전류를 흘리는 전류 드라이브 트랜지스터와, 이 전류 드라이브 트랜지스터와 제2 전원 노드사이에 결합되고, 전류 드라이브 트랜지스터로부터 전류를 전압으로 변환하여 제2 노드에 전압을 생성하는 출력 회로를 포함한다. 이 출력 회로는 제2 노드와 제1 노드사이에 소정치의 전압 강하를 생기게 하는 전압 강하 소자를 포함한다.

본 발명에 따른 내부 전압 발생 회로는, 또한 내부 전압선의 전압과 제2 노드의 전압과의 차에 따라 내부 전압선과 제3 전원 노드사이에 전류의 흐름을 생기게 하는 전압 보상 회로를 포함한다.

본 발명의 다른 관점에 따른 내부 전압 발생 회로는 제1 및 제2 용량 소자와, 클럭 신호에 응답하여 제1 및 제2 용량 소자에 전하를 축적하기 위한 프리차지 회로와, 클럭 신호에 응답하여 프리차지 회로와 상보적으로 도통하며, 이들의 제1 및 제2 용량 소자를 출력 회로에 전기적으로 접속하는 이퀄라이즈 회로를 구비한다. 이 출력 회로는 기준 전압이 발생된다.

본 발명의 또 다른 관점에 따른 내부 전압 발생 회로는 제어 전압과 내부 전압선의 전압의 차에 따른 전류를 생기게 하는 차 검출용 트랜지스터와, 이 차 검출용 트랜지스터에 의해 생긴 전류에 의해 충전 전압이 결정되는 용량 소자와, 이 용량 소자의 충전 전압에 따라 내부 전압선과 전원 노드사이에 전류의 흐름을 생기게 하는 전류 드라이브 트랜지스터와, 제어 전압을 발생시키기 위한 제어 전압 발생 회로를 포함한다. 이 제어 전압 발생 회로는 차 검출용 트랜지스터를 통해서 내부 전압선 상의 전압에 나타나는 온도 의존성을 상쇄하도록 제어 전압을 생성한다.

비교 회로를 이용하여 전류 드라이브 트랜지스터를 구동함으로써, 기준 전압과 실질적으로 동일 전압 레벨의 전압을 생성하고, 이 전압에 더욱 전압차를 생기게 하여, 내부 전압과 비교하여 내부 전압의 레벨을 조정하고 있다. 따라서, 기준 전압에 따라 내부 전압을 생성할 수 있다. 전압 강하 소자를 이용함으로써, 이 전압 보상 회로에서의 전압차 검출 시의 검출 전압의 온도 의존성을 없애는 것이 가능해진다.

또한, 용량 소자를 이용하여 기준 전압을 생성함으로써, 소점유 면적이면서 저소비 전류로 기준 전압을 생성할 수 있다.

또한, 용량 소자를 이용하여 기준 전압을 발생시키는 경우, 과도기에 그 용량 소자의 총방전 동작의 주기를 짧게 함으로써, 고속으로 기준 전압을 안정화시킬 수 있다.

또한, 전압차를 전류에 의해 검출하여 이 전류를 전압으로 변환하여 내부 전압의 전압 레벨을 보정하는 구성에서 이 차 검출용의 전류 드라이브 트랜지스터를 통해 내부 전압에 나타나는 온도 의존성을 상쇄하도록 기준 전압을 생성함으로써, 넓은 온도 범위에 걸쳐 일정한 전압 레벨이 되는 내부 전압을 생성할 수 있다.

[실시의 형태1]

도 1은 본 발명의 실시의 형태1에 따르는 승압 감지 접지 전압 V_{bssg} 를 발생시키는 내부 전압 발생 회로(1)의 구성을 나타내는 도면이다. 도 1에서 이 내부 전압 발생 회로(1)는 기준 전압 V_{rftb} 를 발생시키는 기준 전압 발생 회로(2)와, 비교 회로(3A) 및 비교 회로(3A)의 출력 신호에 따라 제어 전압 V_{dt} 를 내부 노드(3a)에 생성하는 출력 회로(3B)를 포함한다. 이 비교 회로(3A) 및 출력 회로(3B)가 도 18의 (a)에 도시된 레벨 시프트 회로(3)에 대응한다.

이 내부 전압 발생 회로(1)는 또한 도 18의 (a)에 도시된 내부 전압 발생 회로와 마찬가지로, 내부 노드(3a)의 제어 전압 V_{dt} 와 로우 레벨 감지 전압선 LPL 상의 전압 V_{bssg} 에 따라 전류 I_{pg} 를 로우 레벨 감지 전압선 LPL로 공급하는 차 검출용의 MOS 트랜지스터(5)와, 용량 소자(6)와 프리차지 지시 신호 ZPRE에 따라 용량 소자(6)에 대해 프리차지용의 전하를 공급하는 프리차지 회로(7)와, 전하 전송 지시 신호 CT에 따라 용량 소자(6)와 프리차지 회로(7)를 분리하는 전하 보유 회로(8)와, 용량 소자(6)의 충전 전압 V_{pg} 에 따라 외부 전원 노드로부터 로우 레벨 감지 전압선 LPL에 전류를 공급하는 전류 드라이브 회로(9)를 포함한다.

이 전류 드라이브 회로(9)는 P 채널 MOS 트랜지스터(9a)에 의해 형성된다. 또한, 용량 소자(6)의 한쪽 전극 노드(11)와 외부 전원 노드사이에는 감지 동작 활성화 신호 SE에 응답하여 도통하는 P 채널 MOS 트랜지스터(12a)와, MOS 트랜지스터(12a)와 직렬로 접속되는 다이오드 접속된 P 채널 MOS 트랜지스터(12b)가 설치된다. MOS 트랜지스터(5), 프리차지 회로(7), 용량 소자(6), 전하 보유 회로(8) 및 전류 드라이브 회로(9)가 V_{bssg} 발생 회로(전압 보상 회로: 레벨 검지/—V 변환부: 4)를 구성한다. 이 로우 레벨 감지 전압선 LPL 상의 전압 V_{bssg} 를 한쪽 동작 전원 전압으로서, 감지 증폭기 회로(15)가 감지 동작을 행한

다. 로우 레벨 감지 전원선 LPL에는 안정화 용량(16)이 접속된다.

전압 보상 회로(4) 및 전류 드라이브 회로(9)의 동작은 도 18의 (a)에 도시된 회로의 것과 동일하며, 그 상세한 설명은 생략한다.

기준 전압 발생 회로(2)는, 전원 노드(2a)와 접지 노드 사이에 직렬로 접속되는 가변 저항 소자 R1 및 R2를 포함한다. 이들의 가변 저항 소자 R1 및 R2의 접속 노드(2b)에 기준 전압 V_{r1b} 가 발생한다. 기준 전압 V_{r1b} 는 승압 감지 접지 전압 V_{bsg} 의 목표치와 동일한 전압 레벨로 설정된다. 즉, $V_{r1b} = V_{bsg}$ 이다.

비교 회로(3A)는 외부 전원 노드에 결합되는 전류원의 P 채널 MOS 트랜지스터(13a)와 노드(2b) 상의 전압 V_{r1b} 와 노드(13i) 상의 전압 V_x 를 비교하는 비교단을 구성하는 P 채널 MOS 트랜지스터(13b 및 13c)와, MOS 트랜지스터(13b 및 13c)와 접지 노드 사이에 결합되고, 이들의 MOS 트랜지스터(13b 및 13c)에 동일 크기의 전류를 흘리는 전류 미러 회로를 구성하는 N 채널 MOS 트랜지스터(13d 및 13e)를 포함한다. MOS 트랜지스터(13e)가 이 전류 미러단의 마스터단을 구성한다. 전류원의 MOS 트랜지스터(13a)는 게이트가 접지 노드에 접속되어 있어 전류 제한 소자로서 기능하며, 이 비교 회로(3A)에서의 동작 전류를 제한한다.

출력 회로(3B)는 외부 전원 노드와 노드(3a) 사이에 접속되고, 비교 회로(3A)의 출력 신호 DO 를 게이트에 받는 P 채널 MOS 트랜지스터(13f)와, 노드(3a)와 노드(13i) 사이에 접속되고 또한 게이트가 노드(3a)에 접속되는 N 채널 MOS 트랜지스터(13g)와 노드(13i)와 접지 노드 사이에 접속되는 가변 저항 소자 R4를 포함한다. 가변 저항 소자 R4의 저항치가 충분히 크게 설정되면, MOS 트랜지스터(13g)는 다이오드 모드로 동작하고, 노드(3a)와 노드(13i) 사이에 그 임계치 전압 V_{thn} 의 전압 강하를 생기게 한다.

비교 회로(3A)는 기준 전압 V_{r1b} 와 노드(13i) 상의 전압 V_x 가 같아지도록 MOS 트랜지스터(13f)의 게이트 전압을 제어한다. 전압 V_x 는 전류 드라이브용 MOS 트랜지스터(13f)로부터 공급되는 전류와 가변 저항 소자 R4의 저항치에 따라 결정된다. 따라서, 이 노드(3a)로부터의 제어 전압 V_{dt} 는 다음 식으로 나타내어진다.

$$V_{dt} = V_{r1b} + V_{thn}$$

전압 보상 회로(레벨 감지/I-V 변환부: 4)에서 차 검출용 MOS 트랜지스터(5)가 그 제어 전압 V_{dt} 와 로우 레벨 감지 전원선 LPL 상의 전압 V_{bsg} 에 따라 로우 레벨 감지 전원선 LPL에 전류 I_{pg} 를 공급한다. 이 차 검출용 MOS 트랜지스터(5)는 게이트-소스간 전압이 그 임계치 전압 V_{thn} 보다도 커지면 도통하고, 전류 I_{pg} 를 로우 레벨 감지 전원선 LPL로 공급한다. 이 전류 I_{pg} 에 따라 용량 소자(6)의 충전 전압 V_{pg} 가 결정되고, 이 전압 V_{pg} 에 따라 전류 드라이브 회로(9)에 의해 로우 레벨 감지 전원선 LPL에 전류가 공급된다. 따라서, 도 18의 (b)에 도시된 동작 파형과 동일한 동작에 따라 승압 감지 접지 전압 V_{bsg} 의 전압 레벨이 조정된다.

또, 이 전압 보상 회로(4)(차 검출/I-V 변환부: 4)에서 전하 전송 지시 신호 CT를 이용하여 용량 소자(6)와 차 검출용 MOS 트랜지스터(5)를 분리하는 것은 이하의 이유에 의한다.

전하 전송 지시 신호 CT를 H 레벨의 활성 상태로 지속적으로 유지한 경우, 승압 감지 접지 전압 V_{bsg} 의 전압 레벨이 상승하기 시작해도 이 승압 감지 접지 전압 V_{bsg} 의 전압 레벨이 소정치보다도 낮은 경우, 노드(11)의 전압 V_{pg} 의 전압 레벨은 계속 저하한다. 이 때문에, 전류 드라이브 회로(9)의 트랜지스터(9a)의 전류 공급 능력이 점점 커지고, 필요 이상으로 전류가 로우 레벨 감지 전원선 LPL로 공급되며, 승압 센스 접지 전압 V_{bsg} 가 오버슈트하여 소정의 전압 레벨치보다도 높아지고, 정확한 전압 레벨의 L 레벨 대이터를 메모리셀에 축적할 수 없게 된다. 이러한 오버슈트를 방지하기 위해 도 18의 (b)에서 전하 전송 지시 신호 CT를 비활성 상태에서, 노드(11)의 전압 V_{pg} 를 일정 전압 레벨로 유지하고, 이 드라이브용 MOS 트랜지스터(9a)의 전류 공급 능력을 일정하게 유지한다. 또한, 로우 레벨 감지 전원선 LPL에 추가되는 안정화 용량(16)의 용량치가 충분히 큰 것, 및 전압 보상 회로(4)는 활성화 후 주기적인 동작을 하기 때문에, 일주기당 드라이브 시간($2PRE = H$ 또는 $CT = L$ 의 기간)은 짧게 할 수 있기 때문에 오버슈트를 억제할 수 있다. 승압 감지 접지 전압 V_{bsg} 가 전압 $V_{dt} - V_{thn}$ 보다도 높아지면 MOS 트랜지스터(5)는 오프 상태를 유지하며, 전류 I_{pg} 는 흐르지 않는다. 따라서, 이 경우에는 노드(11)의 전압 V_{pg} 는 프리차지 회로(?)에 의해 프리차지되는 전압 $extV_{dd} - V_{thp}$ 의 전압 레벨로 유지되며, 전류 드라이브용 MOS 트랜지스터(9a)는 오프 상태를 유지한다.

따라서, 이 회로에서 승압 감지 접지 전압 V_{bsg} 는 이하의 전압 레벨로 유지된다.

$$V_{bsg} = V_{dt} - V_{thn} = V_{ref} + V_{thn} - V_{thn} \\ = V_{r1b}$$

여기서, MOS 트랜지스터(13g 및 5)는 그 게이트 전압이 동일하고, 또한 게이트 사이즈(채널 길이와 채널 폭의 비)도 동일하고, 또한 임계치 전압이 동일하다. 또한, 그 백 게이트가 소스에 결합되어 있다. 따라서, 이들의 MOS 트랜지스터(13g 및 5)의 백 게이트 바이어스 효과도 동일하고, 임계치 전압 V_{thn} 은 완전히 동일해진다. 따라서, 로우 레벨 감지 전원 전압 V_{bsg} 가 기준 전압 V_{r1b} 와 같아지고, 임계치 전압 V_{thn} 의 온도 특성은 아무런 승압 감지 접지 전압 V_{bsg} 의 전압 레벨 감지에 영향을 미치지 않는다. 이에 따라, 승압 감지 접지 전압 V_{bsg} 의 전압 레벨을 정확하게 기준 전압 V_{r1b} 와 동일하다고 할 수 있다.

기준 전압 발생 회로(2)의 전원 노드(2a)에는 내부 전원 회로(20)로부터의 전압 V_{dd0} 이 주어져서, 이 내부 전원 회로(20)는 외부 전원 전압 $extV_{dd}$ 로부터 외부 전원 전압 $extV_{dd}$ 및 온도에 의존하지 않은 전압을 생성하여, 이 기준 전압 발생 회로(2)로 전원 전압 V_{dd0} 으로서 공급한다. 내부 전원 회로(20)의 이러한 구성으로는 온도에 의존하는 기준 전압을 생성하며, 이 기준 전압에 따라 정전류를 생성하고, 계속해서 이 정전류를 채널 저항 및 임계치 전압에 의해 전압으로 변환하는 회로를 생각할 수 있다. 채널 저항(온 저항)과 임계치 전압은 P 채널 MOS인 경우, 각각 플러스 및 마이너스의 온도 특성을 갖고 있다. 따라서, 이들의 내부 전원 회로(20)에서 이들의 채널 저항 및 임계치 전압 및 전압 V_{dd0} 발생용의 기준 전압의 온도 의존 특성이 균형을 잡도록, 이들의 값을 설정함으로써 이 기준 전압 발생 회로(2)에 제공되는 전압 V_{dd0} 의 외부 전원 전압 $extV_{dd}$ 및 온도에의 의존성을 없앨 수 있다.

기준 전압 발생 회로(2)는 가변 저항 소자 R1 및 R2의 저항 분할에 의해 기준 전압 V_{refb}를 생성하고 있다. 기준 전압 V_{refb}는 다음 식으로 나타내어진다.

$$V_{refb} = V_{dd0} \cdot R2 / (R1 + R2)$$

전압 V_{dd0}은 온도 의존성은 없다. 또한, 저항 성분에 대해서는 분모 및 분자에 저항치가 포함되어 있다. 가변 저항 소자 R1 및 R2는 각각 동일 온도 특성을 갖는 기준 저항 소자를 직렬로 접속하여(선택적으로 퓨즈에 의해 프로그래밍하여), 저항치 R1 및 R2를 설정한 경우, 이 저항 성분의 온도 의존성을 없앨 수 있다. 따라서, 이 전압 V_x의 온도 의존성을 없앨 수 있다(비교 회로(3A)는 기준 전압 V_{refb}와 피비교 전압 V_x를 동일해지도록 동작함). 따라서, 이 로우 레벨 감지 전원선 LPL 상의 승압 감지 접지 전압 V_{bssg}의 온도 의존성을 없앨 수 있고, 넓은 온도 범위에 걸쳐 일정한 전압 레벨에 이 승압 감지 접지 전압 V_{bssg}의 전압 레벨을 설정할 수 있다.

이상과 같이, 본 발명의 실시의 형태1에 따르면 전압 보상 회로에서 레벨 감지/I-V 변환을 위한 전류 I_{pg}를 공급하는 차 검출용 MOS 트랜지스터의 게이트 제어 전압 V_{gt}를 차 검출용 MOS 트랜지스터(5)가 갖는 온도 특성과 같은 온도 특성을 갖도록 발생하며, 항상 이 로우 레벨 감지 전원선 LPL 상의 전압을 동작 온도에 관계없이 일정하게 유지할 수 있다.

기준 전압 발생 회로(2)에서 가변 저항 소자 R1 및 R2의 저항치는 가능한 한 커진다. 이 기준 전압 발생 회로에서의 관통 전류가 스태바이 시의 전류 성분의 일부가 되는 것 및 이 기준 전압 발생 회로(2)가 출력하는 기준 전압 V_{refb}는 비교 회로(3A)의 비교단의 MOS 트랜지스터의 게이트에 제공될 뿐으로, 그 전류 구동 능력을 크게 할 필요는 없다(단순히 게이트 용량을 충전하는 것이 요구될 뿐이기 때문에).

[실시의 형태2]

도 2는 본 발명의 실시의 형태2에 따르는 내부 전압 발생 회로(1)의 구성을 나타내는 도면이다. 이 도 2에 도시된 내부 전압 발생 회로(1)의 구성은 도 1에 도시된 구성과는 기준 전압 발생 회로(2)의 구성이 다르다. 이 도 2에서는 기준 전압 발생 회로(2)에서 가변 용량 소자 C1 및 C2가 이용된다. 가변 용량 소자 C1은 그 한쪽 전극 노드가 전원 노드(2a)에 접속되고, 가변 용량 소자 C2는 그 한쪽 전극 노드가 접지 노드에 결합된다.

이 기준 전압 발생 회로(2)는 또한 클럭 신호 CPR의 H 레벨일 때 도통하며, 가변 용량 소자 C1의 다른 전극 노드를 접지 노드에 결합하는 프리차지용의 N 채널 MOS 트랜지스터(2c)와, 클럭 신호 CPR을 인버터 IV를 통해 받고, 가변 용량 소자 C2의 다른 전극 노드를 전원 노드에 결합하는 프리차지용의 P 채널 MOS 트랜지스터(2d)와, 인버터 IV의 출력 신호가 H 레벨일 때 도통하고, 가변 용량 소자 C1 및 C2의 다른 전극 노드를 출력 노드(2b)에 결합하는 이퀄라이즈용의 N 채널 MOS 트랜지스터(2e 및 2f)를 포함한다.

클럭 신호 CPR은 예를 들면 링오실레이터 등의 발진 회로로부터 생성되며, 소정의 주기로 변화한다. 다른 구성은 도 1에 도시된 구성과 동일하며 대응한 부분에는 동일 참조 번호를 붙여 이들의 상세한 설명은 생략한다.

클럭 신호 CPR의 H 레벨일 때에는 MOS 트랜지스터(2c 및 2d)가 도통하고, 가변 용량 소자 C1의 다른 전극 노드가 접지 노드에 결합되며, 또한 가변 용량 소자 C2의 다른 전극 노드가 전원 노드에 결합되어 전원 전압 V_{dd0}을 받는다. 따라서, 이들의 가변 용량 소자 C1 및 C2 각각의 다른 전극 노드는 접지 전압 및 전압 V_{dd0}에 충전/방전된다.

클럭 신호 CPR의 L 레벨이 되면, MOS 트랜지스터(2c 및 2d)가 비도통 상태가 되고, 한편 이퀄라이즈용의 MOS 트랜지스터(2e 및 2f)가 온 상태가 되고, 이들의 가변 용량 소자 C2 및 C1이 결합되며, 충전 전하가 이퀄라이즈된다. 이 이퀄라이즈 동작에 따라 출력 노드(2b)에 기준 전압 V_{refb}를 발생시킨다. 이 기준 전압 V_{refb}의 전압 레벨은 가변 용량 소자 C1 및 C2의 용량치와 전압 V_{dd0}의 전압 레벨에 따라 결정된다. 이 기준 전압 V_{refb}의 전압 레벨은 전하 보존측으로부터 이하와 같이 함으로써 구할 수 있다.

$$C1 \cdot (0 - V_{dd0}) + C2 \cdot V_{dd0} + C0 \cdot V_{refb} \\ = C1 \cdot (V_{refb} - V_{dd0}) + C2 \cdot V_{refb} + C0 \cdot V_{refb}$$

상기 수식식에서 C0은 출력 노드(2b)에 수반하는 출력 부하를 나타내고, V_{refb}는 클럭 신호 CPR의 H 레벨일 때의 출력 노드(2b)의 전압 레벨을 나타낸다.

기준 전압 발생 회로(2)의 출력 전압 레벨이 누설등에 의한 영향을 받지 않은 경우에는 V_{refb}'=V_{refb}이고, 다음 수식식이 성립한다.

$$V_{refb} = V_{dd0} \cdot C2 / (C1 + C2)$$

따라서, 가변 용량 소자 C1 및 C2의 용량치의 조합을 변경함으로써, 기준 전압 V_{refb}로서 접지 전압으로부터 전압 V_{dd0}사이의 임의의 전압 레벨의 기준 전압을 발생시킬 수 있다. 가변 용량 소자 C1 및 C2를, 예를 들면 MOS 캐패시터로 실현함으로써, 이 기준 전압 발생 회로(2)의 점유 면적을 배선 저항 등의 순 저항 소자로 구성하는 경우에 비해 대폭 저감시킬 수 있다. 또한, 이 기준 전압 발생 회로(2)에서의 관통 전류는 가변 용량 소자 C1 및 C2의 용량치와, 클럭 신호 CPR의 주기로 결정된다. 따라서, 이들의 가변 용량 소자의 용량치 및 클럭 신호 CPR의 주기를 적당한 값으로 설정함으로써, 이 기준 전압 발생 회로(2)에서의 관통 전류도 용이하게 저감시킬 수 있다.

[변경예]

도 3은 본 발명의 실시의 형태2의 변경예의 구성을 나타내는 도면이다. 이 도 3에 도시된 구성에서는 출력 회로(3B)의 구성이 도 2에 도시된 구성과 다르다. 출력 회로(3B)에서는 노드(13i)와 접지 노드 사이에

가변 저항 소자 R4를 대신하여 가변 용량 소자 C3이 배치된다. 다른 구성은 도 2에 도시된 구성과 동일하며, 대응하는 부분에는 동일 참조 번호를 붙인다.

이 도 3에 도시된 출력 회로(3B)에서 가변 용량 소자 C3를 이용한 경우, 그 충전 전압에 의해 비교 회로(3A)에 대한 피비교 전압 V_{xg} 가 생성된다. 전압 V_{xg} 가 누설 등에 의해 기준 전압 V_{rfb} 보다도 저하했을 때에, 비교 회로(3A)의 출력 신호 000이 마냥로그적으로 로우 레벨이 되고, 전류 드라이브용의 MOS 트랜지스터(13f)로부터 전류가 공급된다. 따라서, 가변 용량 소자 C3이 충전되고, 이 전압 V_{xg} 의 전압 레벨이 상승한다. 따라서, 이 가변 용량 소자 C3의 충전 전압에 의해 제어 전압 V_{dt} 를 정확하게 생성할 수 있다.

이 출력 회로(3B)에서는 외부 전원 노드로부터 접지 노드에의 관통 전류가 흐르는 경로는 존재하지 않는다. 따라서, 스태바이 전류를 저감시킬 수 있다. 또한, 가변 저항 소자 R4를 배선 저항으로 실현하는 경우에 비교하여 이 가변 용량 소자 C3을 MOS 캐패시터로 실현함으로써, 보다 점유 면적을 저감시킬 수 있다.

또, 가변 용량 소자 C1-C3은 단위 MOS 캐패시터를 각각 대응하는 노드에 병렬로 설치하고, 이들의 단위 MOS 캐패시터를 퓨즈 프로그램에 의해 선택적으로 접속함으로써, 이들의 용량치를 프로그램(트리밍)할 수 있다. 또한, 이것을 대신하여 마스크 배선에 의해 적당한 용량치로 프로그램해도 좋다.

이상과 같이, 본 발명의 실시의 형태에 따르면, 기준 전압 발생 회로 및 제어 전압 출력 회로에서 용량 소자를 이용하여 각각 필요한 전압을 발생시키도록 구성하여, 점유 면적 및 소비 전류를 함께 저감시킬 수 있다.

[실시의 형태3]

도 4는 본 발명의 실시의 형태3에 따르는 클럭 신호 CPR를 발생시키는 부분의 구성을 개략적으로 나타내는 도면이다. 도 4에서 클럭 신호 발생부는 전원 전압 V_{dd0} 의 투입시, 내부 회로의 동작을 조정 기간 정지시키기 위한 전원 투입 검출 신호 POR 및 ZPOR를 발생시키는 POR 발생 회로(30)와 POR 발생 회로(30)로부터의 전원 투입 검출 신호 POR 및 ZPOR에 따라 그 발생 클럭 신호의 주기가 가변하며, 전원 투입 후 설정된 주기로 클럭 신호 CPR를 발생시키는 가변 주기 클럭 발생 회로(32)를 포함한다.

POR 발생 회로(30)는 전원 투입시, 전원 전압 V_{dd0} 이 소정의 전압 레벨에 도달할 때까지 전원 투입 검출 신호 POR 및 ZPOR를 각각 비활성 상태의 L 레벨 및 H 레벨로 유지한다. 가변 주기 클럭 발생 회로(32)는 이들의 전원 투입 검출 신호 POR 및 ZPOR의 전원 투입 후의 비정상 상태를 나타내는 과도기 중에는 클럭 신호 CPR의 발진 주기를 짧게 하고, 또한 전원 투입 검출 신호 POR 및 ZPOR가 비활성화되고, 전원 전압 V_{dd0} 이 안정 상태가 되면, 클럭 신호 CPR의 발진 주기를 길게 한다. 이에 따라, 도 2 또는 도 3에 도시된 기준 전압 발생 회로(2)에서 가변 용량 소자 C1 및 C2의 충방전 동작 주기를 전원 투입시 짧게 하여, 고속으로 기준 전압 V_{rfb} 를 정상 상태로 구동시킨다.

도 5는, 도 4에 도시된 POR 발생 회로(30)의 구성의 일례를 나타내는 도면이다. 도 5에서, POR 발생 회로(30)는 전원 노드와 내부 노드(30i) 사이에 접속되는 저항 소자(30a)와, 내부 노드(30i)와 접지 노드 사이에 접속되면서, 그 게이트가 전원 노드에 접속되는 N 채널 MOS 트랜지스터(30b)와, 전원 노드와 접지 노드 사이에 직접 접속되면서, 각각의 게이트에 내부 노드(30i) 상의 전압 V_1 을 받아 전압 V_2 을 생성하는 P 채널 MOS 트랜지스터(30c) 및 N 채널 MOS 트랜지스터(30d)와, 전압 V_2 를 반전하여 전원 투입 검출 신호 POR를 발생시키는 인버터 회로(30e)와, 인버터 회로(30e)로부터의 전원 투입 검출 신호 POR를 반전하여 보충하는 전원 투입 검출 신호 ZPOR를 발생시키는 인버터 회로(30f)를 포함한다. MOS 트랜지스터(30b)는 그 게이트에 전원 전압 V_{dd0} 을 받고, 노드(30i) 상의 전압 V_1 의 전압 레벨을 검출한다. 이어서, 이 도 5에 도시된 POR 발생 회로(30)의 동작을 도 6에 도시된 신호 파형도를 참조하여 설명한다.

전원이 투입되고, 전원 전압 V_{dd0} 이 완만하게 상승한다(전원 배선의 기생 용량 등에 의한). 이 전원 전압 V_{dd0} 이 상승하고, MOS 트랜지스터(30b)의 임계치 전압 V_{thn} 에 도달할 때까지는 MOS 트랜지스터(30b)는 오프 상태이고, 노드(30i)의 전압 V_1 도, 저항 소자(30a)로부터의 전류에 따라 상승한다. 전원 전압 V_{dd0} 이 임계치 전압 V_{thn} 보다도 높아지면, MOS 트랜지스터(30b)가 온 상태가 되고, 전압 V_1 의 레벨은 저항 소자(30a)와 MOS 트랜지스터(30b)의 온 저항에 의해 전압 V_{dd0} 을 저항 분할한 전압 레벨 V_a 가 된다.

한편, MOS 트랜지스터(30c 및 30d)에 의해 구성되는 인버터에서는 전원 전압 V_{dd0} 이 상승함에 따라, 그 논리 임계치 V_{thi} 가 상승한다. 전원 전압 V_{dd0} 이 낮은 기간 $V_{thi} < V_a$ 의 관계가 성립하고, 전압 V_2 는 L 레벨이다. 전원 전압 V_{dd0} 이 상승하고, 관계 $V_{thi} > V_a$ 가 성립한 시점($V_{dd0} = V_{dd0}'$)에서, 전압 V_2 가 H 레벨로 변화한다. 즉, 이 시점에서 전원 전압 V_{dd0} 이 충분히 높아졌다고 판단한다. 이 변화에 응답하여, 인버터 회로(30e)는 전원 투입 검출 신호 POR를 L 레벨로 구동하고, 따라서 인버터(30f)가 보충하는 전원 투입 검출 신호 ZPOR를 H 레벨로 구동한다.

따라서, 전원 투입시 이 전원 전압 V_{dd0} 의 전압 레벨이 안정 상태가 될 때까지 전원 투입 검출 신호 POR를 H 레벨, 또한 전원 투입 검출 신호 ZPOR를 L 레벨로 설정하여, 내부 회로가 불안정한 동작이 되는 것을 방지한다. MOS 트랜지스터(30c)의 전류 구동력을 조정함으로써 전원 투입 검출 신호 POR의 H 레벨 기간을 적당한 기간에 설정할 수 있다.

가변 주기 클럭 발생 회로(32)는 전원 투입 검출 신호 POR 및 ZPOR에 따라 그 발진 주기를 변경한다.

도 7은, 도 4에 도시된 가변 주기 클럭 발생 회로(32)의 구성을 개략적으로 나타내는 도면이다. 도 7에서 가변 주기 클럭 발생 회로(32)는 발진 주기 T_{rc} 가 짧은 링오실레이터(32a)와, 발진 주기 T_{rc} 가 긴 링오실레이터(32b)와, 전원 투입 검출 신호 POR 및 ZPOR의 활성시 링오실레이터(32a)의 발진 신호를 선택하는 트랜스미션 게이트(32c)와, 전원 투입 검출 신호 POR 및 ZPOR의 비활성시 링오실레이터(32b)의 출력 신호를 선택하는 트랜스미션 게이트(32d)를 포함한다. 트랜스미션 게이트(32c 및 32d)는 선택한 신호를 출력 노드(32e)로 전달한다. 이 출력 노드(32e)로부터 클럭 신호 CPR이 생성된다. 이어서, 이 도 7에 도시된 가변 주기 클럭 발생 회로(32)의 동작을, 도 8에 도시된 신호 파형도를 참조하여 설명한다.

전원 투입 후, 전원 전압 Vdd0이 외부 전원 전압에 따라 전압 레벨이 상승한다. 이 전원 전압 Vdd0이 안정화되기까지, 전원 투입 검출 신호 POR0이 H 레벨이고, 또한 보충하는 전원 투입 검출 신호 ZPOR0이 L 레벨이다. 트랜스미션 게이트(32c)가 도통 상태, 트랜스미션 게이트(32d)가 비도통 상태이고, 링오실레이터(32a)의 발진 신호가 클럭 신호 CPR0로서 선택된다. 이 클럭 신호 CPR0에 따라, 도 30에 도시된 기준 전압 발생 회로(2)에서 가변 용량 소자의 총방전이 행해져 기준 전압 Vrfb가 생성된다. 이 링오실레이터(32a)의 발진 주기는 주기 Trca이고, 비교적 고속의 클럭 신호이다. 따라서, 이 기준 전압 Vrfb는 비교적 고속이고, 그 설정치를 향해 상승한다.

전원 전압 Vdd0이 안정화되면, 전원 투입 검출 신호 POR0이 L 레벨로 하강하고, 보충하는 전원 투입 검출 신호 ZPOR0이 H 레벨로 상승한다. 따라서, 트랜스미션 게이트(32d)가 도통 상태, 트랜스미션 게이트(32c)가 비도통 상태가 되고, 링오실레이터(32b)의 발진 신호가 클럭 신호 CPR0로서 선택되어 도 2 또는 도 30에 도시된 기준 전압 발생 회로(2)로 제공된다. 이 링오실레이터(32b)의 발진 주기 Trc는 주기 Trcb와 비교적 길게 설정된다. 따라서, 이 기준 전압 Vrfb가 정상 상태로 도달한 후에는 장주기 Trcb에서 전하를 출력 노드로 공급하여 누설 전류에 따른 기준 전압 Vrfb의 저하를 보상한다. 따라서, 이 전원 투입 후 예를 들면 500μs에 설정되는 사양치의 기간 내에서 이 기준 전압 Vrfb를 정상 상태로 설정할 수 있다.

또한, 링오실레이터(32a 및 32b)의 동작 전원 전압으로는 전원 전압 Vdd0이 이용되어도 좋고, 또한 가장 빠르게 안정화되는 외부 전원 전압 extVdd가 이용되어도 좋다. 클럭 신호 CPR의 진폭은, 도 30에 도시된 기준 전압 발생 회로(2)에서 가변 용량 소자 C1 및 C2의 축적 전하량에 영향을 미치지 않게 하지 않기 때문에, 어떤 전원 전압이 이용되어도 좋다.

[변경 예]

도 9는 본 발명의 실시의 형태3의 변경예의 구성을 나타내는 도면이다. 도 9에서 가변 주기 클럭 발생 회로(32)에서, 단주기로 발진을 행하는 링오실레이터(32f)와, 장주기로 발진 동작을 행하는 링오실레이터(32g)가 설치된다. 링오실레이터(32f)는 전원 투입 검출 신호 POR0이 H 레벨일 때에 발진 동작을 행하고, 한편 링오실레이터(32g)는 보충하는 전원 투입 검출 신호 ZPOR0이 H 레벨일 때에 활성화되어 발진 동작을 행한다. 이들의 링오실레이터(32f 및 32g)의 발진 신호가 도 7에 도시된 구성과 마찬가지로 트랜스미션 게이트(32c 및 32d)에 의해 선택되어 클럭 신호 CPR0이 생성된다.

도 10은, 도 9에 도시된 링오실레이터(32f)의 구성의 일례를 나타내는 도면이다. 도 10에서는, 링오실레이터(32f)는 세로 접속되는 인버터(40b-40d)와, 전원 투입 검출 신호 POR0과 인버터(40c)의 출력 신호를 받아 그 출력 신호를 인버터(40b)로 제공하는 NAND 회로(40a)를 포함한다. 이 링오실레이터(32f)의 출력 신호 CPR0은 인버터(40d)로부터 생성된다.

이 도 10에 도시된 링오실레이터(32f)의 구성에서 전원 투입 검출 신호 POR0이 H 레벨일 때에는 NAND 회로(40a)가 인버터로서 동작하며, NAND 회로(40a)와 인버터(40b 및 40c)에 의해 링오실레이터가 형성된다. 인버터(40d)에 의해 발진 신호 CPR0이 출력된다. 전원 투입 검출 신호 POR0이 L 레벨이 되면, NAND 회로(40a)의 출력 신호가 H 레벨로 고정되며, 따라서 인버터(40d)로부터의 발진 신호 CPR0이 L 레벨로 고정된다. 따라서, 이 전원 투입 검출 신호 POR0이 L 레벨일 때에, 링오실레이터(32f)의 발진 동작을 정지 시킴에 따라 이 회로의 소비 전류를 저감시킬 수 있다.

링오실레이터(32g)도 이 도 10에 도시된 링오실레이터(32f)와 동일한 구성을 구비한다. 전원 투입 검출 신호 POR를 대신하여 보충하는 전원 투입 검출 신호 ZPOR0이 이용된다. 또한, 인버터의 단수가 증가시켜 그 주기가 길어진다.

또, 이 도 10에 도시된 링오실레이터(32f)에서는 링오실레이터가 등가적으로 3단의 인버터로 구성되어 있다. 그러나, 이 링오실레이터는 활성화시 홀수단의 인버터로 구성되면 좋고, 인버터(40b 및 40c)의 수는 2 이상이라도 좋다.

또한, 출력단의 인버터(40d)는 전원 투입 검출 신호 POR0이 L 레벨일 때에는 출력 하이 임피던스 상태가 되는 3상태 인버터로 구성되어도 좋다. 이 인버터(40d)를 3상태 인버터 버퍼로 구성한 경우, 도 9에 도시된 트랜스미션 게이트(32c 및 32d)를 설치할 필요가 없고, 회로 점유 면적이 저감된다.

또한, 전원 투입시에 링오실레이터의 발진 주기를 전환하는 것뿐만 아니라, 예를 들면 시스템 리셋트가 걸린 경우 등의 비정상 상태에서부터 정상 상태로의 이행시에 이 링오실레이터의 발진 주기가 전환되도록 구성되어도 좋다. 이 경우, 비정상 상태에서부터 정상 상태로의 이행시, 상태 미행 검출 신호를 이용하여 링오실레이터의 발진 주기를 전환한다(전원 투입 검출 신호를 대신하여, 예를 들면 시스템 리셋트 신호 등의 상태 미행 검출 신호를 이용함).

이상과 같이, 본 발명의 실시의 형태3에 따르면 전원 투입시 등의 비정상 상태에서부터 정상 상태로의 이행시에 기준 전압 발생 회로의 용량 소자의 총방전을 제어하는 클럭 신호의 주기를 전환하도록 구성하며, 정상 상태 이행시 고속으로 기준 전압을 안정화시킬 수 있어, 내부 동작 개시 타이밍을 빠르게 할 수 있다.

[실시의 형태4]

도 11은, 본 발명의 실시의 형태4에 따르는 기준 전압 발생 회로(2)의 구성을 나타내는 도면이다. 이 도 11에 도시된 기준 전압 발생 회로(2)에서는 도 30에 도시된 기준 전압 발생 회로(2)의 구성 외에 전원 전압 Vdd0을 받는 전원 노드와 출력 노드(2b) 사이에 가변 저항 소자 R5와 게이트에 보충하는 전원 투입 검출 신호 ZPOR를 받는 P 채널 MOS 트랜지스터(2g)가 직렬로 접속되며, 또한 출력 노드(2b)와 접지 노드 사이에 전원 투입 검출 신호 POR를 게이트에 받는 N 채널 MOS 트랜지스터(2h)와 가변 저항 소자 R6이 직렬로 접속된다.

이 도 11에 도시된 구성에서는 전원 투입시, 전원 전압 Vdd0이 안정 상태에 도달하기까지의 기간, 전원 투입 검출 신호 POR 및 ZPOR0이 각각 H 레벨 및 L 레벨이 되고, 가변 저항 소자 R5 및 R6이 출력 노드(2b)에 결합된다. 따라서, 이 출력 노드(2b)에는 가변 저항 소자 R5 및 R6과 MOS 트랜지스터(2e 및 2h)의 채

널 저항에 따라 결정되는 전압이 생성된다. 이들의 가변 저항 소자 R5 및 R6의 저항치를 비교적 작게 할 것으로써, 이 출력 노드(2b)에의 충전 동작을 고속화할 수 있고, 기준 전압 V_{rfb} 를 고속으로 안정 상태로 구동할 수 있으며, 또한 이들의 가변 저항 소자 R5 및 R6의 점유 면적도 작게 할 수 있다.

전원 투입 검출 신호 POROI L 레벨, 및 전원 투입 검출 신호 ZPOROI H 레벨이 되면, 이들의 MOS 트랜지스터(2g 및 2h)가 비도통 상태가 되고, 이 가변 저항 소자 R5 및 R6이 출력 노드(2b)로부터 분리되며, 이 기준 전압 발생 회로(2)의 출력단의 보조 회로에서의 관통 전류의 경로는 차단된다.

또한, 가변 저항 소자 R5 및 R6에서는 MOS 트랜지스터의 채널 저항이 이용되어도 좋다.

이상과 같이, 본 발명의 실시의 형태4에 따르면, 용량 소자를 이용하여 기준 전압을 발생시키는 구성에서 전원 투입시 등의 비정상 상태에서 정상 상태로의 이행시에 보조적으로 저항 소자를 이용하여 기준 전압을 생성하도록 구성하며, 이 상태 천이시에 기준 전압을 고속으로 안정화시킬 수 있다. 또한, 이 보조적인 저항 소자를 정상 상태에서는 출력 노드로부터 분리하고, 용량 소자에서만 기준 전압 레벨을 유지하도록 구성하며, 항상 전원 노드로부터 접지 노드로 관통 전류가 흐르는 경로는 존재하지 않고, 소비 전류를 저감시킬 수 있다.

[실시의 형태5]

도 12는, 본 발명의 실시의 형태5에 따르는 내부 전압 발생 회로의 구성을 나타내는 도면이다. 이 도 12에 도시된 내부 전압 발생 회로에서는 로우 레벨 감지 전원선 LPL 상의 승압 감지 접지 전압 V_{bsg} 가 소정 전압 레벨보다도 상승했을 때에 이 부상을 방지하기 위한 구성이 설치된다. 또한, 도 12에서 내부 전압 발생 회로는 기준 전압 V_{rfb} 와 노드(47d) 상의 전압 V_y 를 비교하는 비교 회로(45)와, 비교 회로(45)로부터의 비교 결과를 나타내는 신호 DOP에 따라 전압 V_y 의 레벨을 조정하며, 또한 제어 전압 V_{dp} 를 생성하는 출력 회로(47)와, 로우 레벨 감지 전원선 LPL과 접지 노드 사이에 결합되고, 또한 그 게이트에 출력 회로(47)로부터의 제어 전압 V_{dp} 를 받는 P 채널 MOS 트랜지스터(50)가 설치된다. MOS 트랜지스터(50)는 MOS 트랜지스터(47b)와 사이즈(채널 폭과 채널 길이의 비)가 동일하며, 백 게이트 바이어스 효과도 동일하다.

이 로우 레벨 감지 전원선 LPL에는 승압 감지 접지 전압 V_{bsg} 의 저하를 방지하기 위한 구성이 설치된다. 이 전압 저하 방지용 부분의 구성은, 앞의 실시의 형태1로부터 실시의 형태4 중 어느 하나가 이용되어도 좋고, 도 12에서는 차 검출기-V 변환부(전압 보상 회로 : 4)의 구성을 나타낸다. 이 차 검출기-V 변환부(4)는 용량 소자 및 전류 드라이브 회로를 포함하는 I-V 변환부(4A)와, 제어 전압 V_{dt} 에 따라 로우 레벨 감지 전원선 LPL로 전류를 공급하는 드라이브용의 MOS 트랜지스터(5)를 나타낸다. 제어 전압 V_{dt} 를 발생시키는 부분에서는 실시의 형태1로부터 실시의 형태4 중 어느 하나가 이용되어도 좋다.

기준 전압 V_{rfb} 는 실시의 형태1로부터 실시의 형태4 중 어느 하나에 도시된 기준 전압 발생 회로로부터 생성된다.

출력 회로(47)는 외부 전원 노드와 노드(47d) 사이에 접속되고 또한 비교 회로(45)의 출력 신호 DOP에 따라 노드(47d)로 전류를 공급하는 P 채널 MOS 트랜지스터(47a)와, 노드(47d)와 노드(47e) 사이에 접속되고 또한 게이트가 노드(47e)에 접속되는 P 채널 MOS 트랜지스터(47b)와, 노드(47e)와 접지 노드 사이에 접속되는 가변 임피던스 소자(47c)를 포함한다. 이 MOS 트랜지스터(47b)는 다이오드 모드로 동작하고, 노드(47d)와 노드(47e) 사이에 임계치 전압의 절대치 V_{thp} 의 전압 강하를 생기게 한다. 가변 임피던스 소자(47c)는 가변 저항 소자라도 좋고, 또한 가변 용량 소자라도 좋다.

기준 전압 V_{rfb} 는 앞의 실시의 형태1로부터 실시의 형태4와 마찬가지로, 로우 레벨 감지 전원선 LPL 상의 승압 감지 접지 전압 V_{bsg} 의 목표치와 동일한 전압 레벨로 설정된다. 비교 회로(45)가, 기준 전압 V_{rfb} 와 노드(47d)의 전압 V_y 를 비교하고, MOS 트랜지스터(47a)의 컨덕턴스를 조정한다. 따라서, 노드(47d)의 전압 V_y 는 비교 회로(45) 및 MOS 트랜지스터(47a)에 의해 기준 전압 V_{rfb} 와 같은 전압 레벨로 유지된다. MOS 트랜지스터(47b)가 V_{thp} 의 전압 강하를 생기게 하고, 따라서 노드(47e)로부터의 제어 전압 V_{dp} 는 $V_{rfb}-V_{thp}$ 가 된다.

MOS 트랜지스터(50)는 그 게이트-소스간 전압의 절대치가 임계치 전압의 절대치 V_{thp} 이상이 되면 온 상태가 되고, 로우 레벨 감지 전원선 LPL 상의 전하를 방출한다. 따라서, MOS 트랜지스터(50)는 전압 V_{bsg} 가 $V_{dp}+V_{thp}$ 이상이 되면 온 상태가 된다. 따라서, 이 MOS 트랜지스터(50)에 의해 전압 V_{bsg} 의 부상시에는 그 부상을 방지하여 전압 $V_{bsg}=V_{rfb}$ 가 되도록 조정된다.

드라이브용의 MOS 트랜지스터(5 및 50)에 의해 로우 레벨 감지 전원선 LPL 상의 전압 V_{bsg} 를, 정확하게 기준 전압 V_{rfb} 의 전압 레벨로 설정할 수 있다. 또한, MOS 트랜지스터(47b 및 50)는 동일 임계치 전압을 갖고, 이들의 제어 동작 시에 임계치 전압 V_{thp} 가 로우 레벨 감지 전원선 LPL 상의 전압 V_{bsg} 의 전압 레벨에는 아무런 영향을 미치지 않기 때문에, 이들의 출력 회로(47) 및 드라이브 트랜지스터(50)에 의한 조정 동작에서 이들의 회로부분의 온도 특성이 전압 V_{bsg} 에 영향을 미치지 않고, 광범위하게 승압 감지 접지 전압 V_{bsg} 를 일정한 전압 레벨로 유지할 수 있다.

또, 이 승압 감지 접지 전압 V_{bsg} 가 예를 들면 0.4~0.5V인 경우, 임계치 전압 V_{thp} 의 절대치도 이것에 맞추어 작게 할 필요가 있다($V_y-V_{thp}=V_{dp}$ 를 접지 전압 레벨이상으로 설정할 필요가 있기 때문에). 그러나, 이 출력 회로(47)에서 접지 노드를 대신하여, 마이너스 전압 노드가 이용되어도 좋다(마이너스 전압 발생 회로가 존재하는 경우).

또한, 비교 회로(40) 및 출력 회로(47)는 제어 전압 V_{dp} 에 의해 드라이브용의 MOS 트랜지스터(50)의 게이트 용량을 구동하는 것이 요구될 뿐으로, 앞의 실시의 형태1의 경우와 마찬가지로 이들의 전류 구동 능력을 작게 할 수 있고, 회로 점유 면적 및 소비 전류를 저감시킬 수 있다. 또한, 가변 임피던스 소자(47c)로서 가변 용량 소자를 이용한 경우에는, 이 출력 회로(47)에서의 관통 전류를 방지할 수 있고, 소비 전류를 보다 저감시킬 수 있다.

[변경예]

도 13은 본 발명의 실시의 형태5의 변경예의 로우 레벨 감지 전원선 LPL 상의 전압 V_{bsg} 의 상승을 억제하기 위한 전압 보상 회로가 MOS 트랜지스터(50)를 통해 이 승압 감지 접지 전압 V_{bsg} 의 전압 레벨을 검출하고, 그 검출 결과에 따라 전압 V_{bsg} 의 전압 레벨을 조정한다. 제어 전압 V_{dp} 를 발생시키는 회로는 도 12에 도시된 구성이 이용된다.

도 13에서, 전압 보상 회로는 도 12에 도시된 출력 회로(47)로부터의 제어 전압 V_{dp} 와 로우 레벨 감지 전원선 LPL 상의 전압 V_{bsg} 의 차에 따른 전류를 노드(61)로 공급하기 위한 전압차 검출용의 P 채널 MOS 트랜지스터(50)와, 프리차지 지시 신호 PRE에 응답하여 노드(61)를 소정 전압에 프리차지하는 프리차지 회로(57)와, 노드(61)에 접속되는 한쪽 전극 노드와 인버터(60)를 통해 펌프 신호 PMP를 받는 다른 전극 노드를 갖는 용량 소자(56)와, 프리차지 지시 신호 PRE와 펌프 신호 PMP에 따라 노드(61)의 전하를 유지시키기 위한 전하 보유 회로(65)와, 노드(61)의 충전 전압 V_{pg} 에 따라 로우 레벨 감지 전원선 LPL로부터 전류를 방출하는 드라이브용 N 채널 MOS 트랜지스터(59)와, 센스 앰프 회로(15)에 대한 감지 동작 활성화 신호 SE의 활성화에 응답하여 도통하며, MOS 트랜지스터(59)와 접지 노드 사이에 전류 경로를 형성하는 N 채널 MOS 트랜지스터(58)를 포함한다. 이 로우 레벨 감지 전원선 LPL에 안정화 용량(16)이 접속되고, 또한 드라이브용 MOS 트랜지스터(50)의 게이트에는 안정화 용량(10)이 접속된다.

프리차지 회로(57)는 노드(61)와 접지 노드 사이에 직렬로 접속되는 N 채널 MOS 트랜지스터(57a 및 57b)를 포함한다. MOS 트랜지스터(57a)는 그 게이트 및 드레인이 상호 접속되고, 도통시 다이오드 모드로 동작하며, 그 임계치 전압 V_{thr} 의 전압 강하를 생기게 한다. MOS 트랜지스터(57b)는 그 게이트에 프리차지 지시 신호 PRE를 받는다.

전하 보유 회로(65)는 프리차지 지시 신호 PRE와 펌프 신호 PMP를 받는 NOR 회로(65a)와, NOR 회로(65a)의 출력 신호를 반전하는 인버터(65b)와, NOR 회로(65a) 및 인버터(65b)의 출력 신호에 응답하여 선택적으로 도통하여 노드(61)에의 전하 충전 경로로 형성하는 트랜스미션 게이트(65c)를 포함한다. 트랜스미션 게이트(65c)는 신호 PRE 및 PMP가 모두 L 레벨시에 비도통 상태가 되고, 노드(61)의 축적 전하를 유지한다.

펌프 신호 PMP는 외부 전원 전압 $extV_{dd}$ 의 전폭을 지니고, 또한 인버터(60)도 외부 전원 전압 $extV_{dd}$ 를 한쪽 동작 전원 전압으로서 받는다. 다음에, 이 도 13에 도시된 회로의 동작을 도 14에 도시된 신호 파형도를 참조하여 설명한다.

감지 증폭기 회로(15)의 대기 상태시에, 이 로우 레벨 감지 전원선 LPL 상의 전압 V_{bsg} 가 예를 들면 전원 노드로부터의 누설 전류에 의해 그 전압 레벨이 상승한 상태를 생각한다. 감지 증폭기 회로(15)가 대기 상태에 있기 때문에 감지 동작 활성화 신호 SE는 비활성 상태이고, 프리차지 지시 신호 PRE가 H 레벨의 활성 상태, 펌프 신호 PMP가 L 레벨로 고정된다. 이 상태에서는 전하 보유 회로(65)의 트랜스미션 게이트(65c)가 도통 상태에 있고, 내부 노드(61)는 프리차지 회로(57)에 의해 방전되며, 내부 노드(61) 상의 전압 V_{pg} 는 MOS 트랜지스터(57a)의 임계치 전압 V_{thr} 의 전압 레벨로 유지된다. 승압 감지 접지 전압 V_{bsg} 의 전압 레벨이 상승하고, MOS 트랜지스터(50)를 통해 전류가 흘러도, 프리차지 지시 신호 PRE가 H 레벨에 있기 때문에, 이 MOS 트랜지스터(50)로부터의 전류는 프리차지 회로(57)를 통해 방전된다. MOS 트랜지스터(50)의 전류 공급 능력보다도 프리차지 회로(57)의 전류 구동 능력을 충분히 크게 한다. 단, 전체적으로 MOS 트랜지스터(50) 및 프리차지 회로(57)의 전류 구동 능력은 드라이브용 MOS 트랜지스터(59)의 전류 구동 능력보다도 충분히 작고, 이 승압 전압 V_{bsg} 의 상승을 억제할 수 없는 것으로 한다.

이 승압 감지 접지 전압 V_{bsg} 가 소정 전압 레벨보다도 높을 때에 시각 T0에서 감지 동작 활성화 신호 SE가 활성화되고, 감지 증폭기 회로(15)가 동작한다. 시각 T0으로부터 시각 T1까지 프리차지 지시 신호 PRE는 H 레벨이고, 또한 펌프 신호 PMP도 L 레벨이고, 프리차지 상태를 유지하며, 전압 V_{bsg} 가 계속 상승한다.

제어 전압 V_{dp} 는 $V_{rfb}-V_{thp}$ 이고, 따라서 전압 V_{bsg} 가 기준 전압 V_{ref} 보다도 높아지면, MOS 트랜지스터(50)가 온 상태가 되지만, 이 전류는 프리차지 회로(57)에 의해 방전된다.

시각 T1에서 프리차지 지시 신호 PRE가 L 레벨의 비활성 상태가 되면, 따라서 펌프 신호 PMP가 외부 전원 전압 $extV_{dd}$ 레벨로 상승한다. 이 펌프 신호 PMP의 상승에 응답하여 인버터(60)의 출력 신호가 접지 전압 레벨로 하강하고, 용량 소자(61)의 용량 결합(차지 펌프 동작)에 따라 노드(61)의 전압 V_{pg} 가 하강한다(프리차지 회로(57)에서 MOS 트랜지스터(57b)가 오프 상태에 있음). 즉, 이 노드(61)의 전압 V_{pg} 가 프리차지 전압 V_{thn} 으로부터 펌프 신호 PMP의 전폭 만큼 마이너스 방향으로 변화한다. 즉, 이 펌프 신호 PMP의 상승에 따라 노드(61)의 전압 V_{pg} 가 일단 $V_{thn}-extV_{dd}$ 의 전압 레벨로 저하한다. 노드(61)의 전압 레벨이 마이너스 전압 레벨로 저하하면 트랜스미션 게이트(65c)는 도통 상태에 있기 때문에 MOS 트랜지스터(50)로부터의 전류에 따라 용량 소자(56)가 충전되며, 그 충전 전압 V_{pg} 의 전압 레벨이 상승한다.

시각 T2에서 펌프 신호 PMP가 L 레벨로 하강하고, 인버터(60)의 출력 신호가 외부 전원 전압 $extV_{dd}$ 레벨로 상승시킨다. 따라서, 용량 소자(56)의 차지 펌프 동작에 따라 노드(61)의 전압 V_{pg} 가 외부 전원 전압 $extV_{dd}$ 레벨만큼 상승시킨다. 이 때의 전압 V_{pg} 의 전압 레벨은 시각 T1로부터 시각 T2 사이에 충전된 전하량에 따라 결정된다. 전압 V_{bsg} 와 기준 전압 V_{rfb} 의 차가 큰 경우에는 MOS 트랜지스터(50)로부터 용량 소자(56)로 공급되는 전하량이 많아지고, 따라서 전압 V_{pg} 의 전압 레벨이 보다 상승한다. 따라서, 이 펌프 신호 PMP의 하강 후, 노드(61)의 전압 V_{pg} 가 도달하는 전압 레벨은 전압 V_{bsg} 및 V_{rfb} 의 차에 따라 결정된다. 펌프 신호 PMP가 L 레벨이 되면, 전하 보유 회로(65)에서 NOR 회로(65a)의 출력 신호가 H 레벨이 되고, 트랜스미션 게이트(65c)가 비도통 상태가 되고, 노드(61)의 충전 전하가 유지되며, 노드(61)의 전압 V_{pg} 가 그 때의 전압 레벨을 유지한다.

드라이브용의 MOS 트랜지스터(59)는 노드(61) 상의 전압 V_{pg} 가 자신의 임계치 전압 V_{thn} 보다도 높아지면 노드(61) 상의 전압 V_{pg} 에 따라 로우 레벨 감지 전원선 LPL로부터 접지 노드로 전류를 방전하고, 고속으로 이 전압 V_{bsg} 의 전압 레벨을 저하시킨다. 그 동안, 프리차지 지시 신호 PRE는 L 레벨의 비활성 상태에 있다. 전류 드라이브용 MOS 트랜지스터(59)의 방전 동작 시에는 프리차지 지시 신호 PRE 및 펌프 신호

호 PMP가 모두 L 레벨이고, 트랜스미션 게이트(65) 및 프리차지 회로(57)는 비도통 상태로써 검출용의 MOS 트랜지스터(50)가 로우 레벨 감지 전원선 LPL로부터 전류를 방전해도, 그 내부 노드는 바로 충전되어 차 검출용 MOS 트랜지스터(50)는 오프 상태를 유지한다. 따라서, 드라이브용 MOS 트랜지스터(59)의 방전에 의해 로우 레벨 감지 전원선 LPL의 전압 Vbss의 전압 레벨이 급격히 저하한다. 노드(61)의 전압 Vpg는 이 전하 보유 회로(65)에 의해 이 방전 기간 중 즉 시각 T2로부터 T3사이 일정한 전압 레벨로 유지된다. 이 용량 소자(56)에 유입하는 전하량 Qpg와 전압 Vpg는 다음 식에 나타내는 관계를 만족한다.

$$Vpg - Vthn - extVdd + Qpg/Cpg$$

이 전압차 검출 동작 시에는 드라이브용의 MOS 트랜지스터(59)는 오프 상태에있으며, 채널은 형성되지 않아, 그 게이트 용량은 무시할 수 있기 때문에 상기 수학적 9에서는 게이트 용량 Cg는 포함되지 않는다.

이 수학적 9로부터 분명히 알 수 있듯이 용량 소자(56)의 용량치 Cpg를 작게 함으로써, 전압 Vpg의 전압 레벨은 전하량 Qpg의 미소한 변화에 따라 크게 변화한다. 실시의 형태1의 내부 전압 발생 회로에서의 차 검출기-V 변환부(4)의 경우와 마찬가지로 전압 Vbss의 미소 변화를 용량 소자(56)의 충전 전압 Vpg의 큰 변화량으로 증폭시킬 수 있다.

전압 Vbss가 기준 전압 Vbss보다도 낮은 경우에는 MOS 트랜지스터(50)에는 전류는 흐르지 않는다. 이 상태에서 전압 Vpg는 펌프 신호 PMP에 의한 전압 $Vpg = Vthn - extVdd$ 를 유지한다(Qpg=0에 의해 구해짐). 시각 T2로부터 시각 T3사이에서는 펌프 신호 PMP의 하강에 응답하여 인버터(60)의 출력 신호가 상승하며, 따라서 용량 소자(56)가 차지 펌프 동작을 행하고, 노드(61)의 전압이 상승한다. 전압 Vbss가 기준 전압 Vrfb보다도 높은 경우에는 이 노드(61)의 전압 레벨이 더욱 외부 전원 전압 etxVdd의 전압 레벨만큼 상승하고, 전압 Vpg가 다음 수학적식으로 나타내어지는 전압 레벨이 된다.

$$Vpg - Vthn + Qpg/Cpg$$

이 전압 레벨은 MOS 트랜지스터(59)의 임계치 전압 Vthn보다도 크고, MOS 트랜지스터(59)가 온 상태가 되며, 전압 Vbss를 그 방전 동작에 따라 저하시킨다. MOS 트랜지스터(59)는 그 전류 구동 능력이 충분히 크므로, 고속으로 전압 Vbss의 전압 레벨이 저하한다.

이 전압 Vpg는 최대 $extVdd + Vbss$ 의 전압 레벨까지 상승하고, 최대 전압 레벨은 외부 전원 전압 $extVdd$ 보다도 높은 전압 레벨이다. 따라서, MOS 트랜지스터(59)의 전류 구동 능력이 대폭 증가하여, 고속으로 전압 Vbss를 저하시킨다.

한편, 시각 T2로부터 시각 T3사이에 전압 Vbss가 기준 전압 Vrfb보다도 낮은 경우에는 노드(61)의 전압 Vpg는 원래의 프리차지 전압 Vthn 레벨로 복귀할 뿐으로 드라이브용의 MOS 트랜지스터(59)는 오프 상태를 유지한다.

시각 T3에서 프리차지 지시 신호 PRE가 H 레벨로 상승하면, 전하 보유 회로(65)의 트랜스미션 게이트(65c)가 도통하고, 활성화된 프리차지 회로(57)에 의해 노드(61) 상의 전압 Vpg는 강제적으로 전압 Vthn 레벨로 방전된다. 이에 따라, 드라이브용의 MOS 트랜지스터(59)가 장기에 걸쳐 큰 전류 구동력으로 로우 레벨 감지 접지선 LPL을 방전하고, 이 전압 Vbss가 언더슈트하는 것을 방지한다.

또, 신호 PRE 및 SE의 진폭은 외부 전원 전압 $extVdd$ 레벨로 설정할 필요가 있다. 이것은 노드(61)의 전압 Vpg가 외부 전원 전압 $extVdd$ 보다도 높아지는 경우가 있고, 프리차지 회로(57)에서 이 노드(61)의 전압 Vpg를 방전할 필요가 있기 때문이다. 그러나, 이들의 신호 PRE 및 SE의 진폭은 전원 전압 Vdd0 레벨이라도 좋다.

펌프 신호 PMP는 프리차지 지시 신호 PRE의 하강에 응답하여 단안정 펄스의 형태로 발생된다. 이들의 회로 구성은 용이하게 실현할 수 있다. 또한, 이들의 프리차지 지시 신호 PRE 및 펌프 신호 PMP는 감지 동작 활성화 신호 SE의 활성화시, 프리차지 지시 신호 PRE를 소정 시간 지연하여 이 펌프 신호 PMP를 발생되어도 좋다(프리차지 지시 신호의 펄스 폭과, 펌프 신호의 지연 시간을 같이 함).

이상과 같이, 본 발명의 실시의 형태5에 따르면, 승압 감지 접지 전압 Vbss의 부상시에 제어 전압 Vdp와 승압 감지 접지 전압 Vbss의 차에 따라 이 전압 레벨을 저하시키도록 하고, 또한 그 전압 레벨 조정시에 차 검출용의 MOS 트랜지스터의 동작 파라미터의 온도 특성이 이 검출 전압 레벨에 영향을 미치게 하는 것을 방지하도록 하며, 정확하게 전압 Vbss를 넓은 온도 범위에 걸쳐 소정 전압 레벨로 설정할 수 있다.

[실시의 형태6]

도 15는 본 발명의 실시의 형태6에 따르는 내부 전압 발생 회로의 구성을 개략적으로 나타내는 도면이다. 도 15에서 내부 전압선(90) 상의 내부 전압 Vin을 내부 회로(95)가 동작시 소비한다. 이 내부 회로(95)는 활성화 신호 ACT의 활성화시 활성화된다. 본 실시의 형태6에서는 내부 전압선(90) 상의 전압 Vin의 전압 레벨을 조정한다.

도 15에서 내부 전압 발생 회로는 기준 전압 Vrf를 발생시키는 기준 전압 발생 회로(100)와, 기준 전압 발생 회로(100)로부터의 기준 전압 Vrf에 따라 제어 전압 Vdcn을 생성하는 제어 전압 발생 회로(102)와, 기준 전압 Vrf로부터 제어 전압 Vdcp를 생성하는 제어 전압 발생 회로(104)와, 이 제어 전압 발생 회로(102)로부터의 제어 전압 Vdcn과 내부 전압 Vin의 차에 따라 이 내부 전압 Vin의 전압 레벨을 조정하는 전압 조정 회로(106)와, 제어 전압 Vdcp와 내부 전압 Vin의 차에 따라 이 내부 전압 Vin의 전압 레벨을 조정하는 전압 조정 회로(108)를 포함한다.

제어 전압 Vdcn은 기준 전압 Vrf와 N 채널 MOS 트랜지스터의 임계치 전압 Vthn의 합과 같다. 한편, 제어 전압 Vdcp는 기준 전압 Vrf와 P 채널 MOS 트랜지스터의 임계치 전압의 절대치의 차와 같다. 이들의 기준

전압 발생 회로(100) 및 제어 전압 발생 회로(102)의 구성은 앞의 실시의 형태1로부터 4 중 구성의 어느 하나가 이용되어도 좋고, 또한 제어 전압 발생 회로(104)로서는 실시의 형태5의 회로 구성이 이용된다.

전압 조정 회로(106)는 제어 전압 V_{dcn} 과 내부 전압 V_{in} 의 차에 따른 전류를 흘리는 차 검출용 MOS 트랜지스터(106a)와, 이 MOS 트랜지스터(106a)의 검출 전류를 전압으로 변환하는 전류-전압 변환을 행하고 또한 변환 전압에 따라 내부 전압의 레벨을 조정하는 전압 보상 회로(106b)를 포함한다. 이 전압 보상 회로(106b)는 앞의 실시의 형태1에서 도시된 구성과 동일한 구성을 구비하고, 용량 소자와 이 용량 소자를 프리차지하는 프리차지 회로와, 용량 소자와 차 검출용 MOS 트랜지스터(106a)를 결합하는 회로와, 이 프리차지된 MOS 트랜지스터의 충전 전압에 따라 전류를 내부 전압선으로 공급하는 전류 드라이브 트랜지스터를 포함한다.

전압 조정 회로(108)는 제어 전압 V_{dcp} 과 내부 전압 V_{in} 의 차에 따른 전류를 흘리는 차 검출용의 P 채널 MOS 트랜지스터(108a)와, 이 차 검출용의 MOS 트랜지스터를 흐르는 전류를 전압 정보로 변환하고, 그 변환 전압 정보에 따라 전류를 내부 전압선(90)으로부터 접지 노드로 방전하는 전압 보상 회로(108b)를 포함하는, 이 전압 보상 회로(108b)는 실시의 형태5의 변경 예에서 나타난 것과 동일한 구성을 구비하며, 내부 전압 V_{in} 과 제어 전압 V_{dcp} 의 차에 따라 용량 소자의 충전 전압을 설정하고, 이 용량 소자의 충전 전압에 따라 내부 전압선(90)으로부터 접지 노드로 전류를 공급하는 전류 드라이브용의 트랜지스터를 포함한다.

이 도 15에 도시된 구성에서는 내부 전압 V_{in} 은 승압 감지 접지 전압에만 한정되지 않고, 하이 레벨 감지 전원 전압 또는 내부 감압된 주변 전원 전압이라도 좋다. 또한, 내부 전압 V_{in} 의 소비전력은 활성화 지시 신호 ACT에 따라 동작하는 내부 회로(95)외에도 정상적으로 존재하는 누설원등도 포함되고, 소위 스탠바이 상태에서 내부 전압 V_{in} 의 안정화를 위해 도 15에 도시된 구성을 적용하는 것도 가능하다.

이 도 15에 도시된 내부 전압 발생 회로의 구성에서 제어 전압 V_{dcn} 이 $V_{rf}+V_{thn}$ 의 전압 레벨이다. MOS 트랜지스터(106a)가 소위 「소스 종동기 모드」로 동작하며, 내부 전압 V_{in} 이 기준 전압 V_{rf} 이하가 되면, MOS 트랜지스터(106a)가 전류를 내부 전압선(90)으로 공급하고, 따라서 전압 보상 회로(106b)에서 그 공급 전류를 전압 정보로 변환하고, 그 변환 정보에 따라 내부 전압선(90)으로 전류를 공급한다.

한편, 제어 전압 V_{dcp} 는 $V_{rf}-V_{thp}$ 의 전압 레벨이다. MOS 트랜지스터(108a)는 소스 종동기 모드로 동작하고, 내부 전압 V_{in} 이 기준 전압 V_{rf} 보다도 높아지면 도통하고, 전류를 흘린다. 이 MOS 트랜지스터(108a)를 흐르는 전류가 전압 보상 회로(108b)에 의해 전압 정보로 변환되어, 그 변환 전압 정보에 따라 내부 전압선(90)으로부터 전류를 방전한다. 따라서, 이들의 전압 조정 회로(106 및 108)에 의해 내부 전압 V_{in} 이 기준 전압 V_{rf} 의 전압 레벨로 유지된다.

이상과 같이, 본 발명의 실시의 형태6에 따르면, 내부 전압 V_{in} 을 기준 전압 V_{rf} 와 같아지도록 제어하고, 이 내부 전압을 제어하기 위한 회로의 트랜지스터의 파라미터는 아무런 내부 전압 상에는 반영되지 않아, 차 검출용의 트랜지스터의 특성에 상관없이 넓은 온도 또는 동작 범위에 걸쳐 내부 전압 V_{in} 을 일정 전압 레벨로 유지할 수 있다.

[다른 적용 예]

특정적인 실시예로서, DRAM의 감지 전원 전압의 승압 감지 접지 전압이 나타내어져 있다. 그러나, 본 실시의 형태6에서 도시된 바와 같이 본 발명은 대상 내부 전압과 제어 전압의 차를 전류로 검출하고, 이 검출 전류를 전압 정보로 변환한 후 이 변환 전압에 따라 내부 전압의 레벨 조정을 행하는 구성이면 적용 가능한데, 특히 적용 대상은 DRAM에 한정되지 않는다.

발명의 효과

이상과 같이, 본 발명에 따르면 내부 전압 발생시 이 내부 전압차를 검출하기 위한 MOS 트랜지스터의 특성 파라미터가 내부 전압의 전압 레벨에 영향을 미치지 하지 않도록 구성하며, 넓은 동작 범위에 걸쳐 일정한 전압 레벨로 내부 전압을 유지할 수 있다.

(57) 청구의 범위

청구항 1. 내부 전압 발생 회로에 있어서,

기준 전압을 발생시키기 위한 기준 전압 발생 회로,

상기 기준 전압과 제1 노드의 전압을 비교하고, 그 비교 결과를 나타내는 신호를 생성하는 비교기,

제1 전원 노드에 결합되고, 상기 비교기의 출력 신호에 따라 상기 제1 노드와 상기 제1 전원 노드사이에서 전류를 흘리는 전류 드라이브 트랜지스터,

상기 전류 트랜지스터와 제2 전원 노드 사이에 결합되고, 상기 전류 드라이브 트랜지스터가 흘리는 전류를 전압으로 변환하여 상기 제2 노드에 상기 전압을 생성하며, 상기 제2 노드와 상기 제1 노드사이에서 전압 강하를 생기게 하는 전압 강하 소자를 포함하는 출력 회로, 및

내부 전압선의 전압과 상기 제2 노드의 전압과의 차에 따라 상기 내부 전압선과 제3 전원 노드사이에서 전류의 흐름을 생기게 하는 전압 보상 회로

를 포함하는 내부 전압 발생 회로.

청구항 2. 내부 전압 발생 회로에 있어서,

제1 용량 소자,

제2 용량 소자,

클럭 신호에 응답하여 상기 제1 및 제2 용량 소자에 전하를 축적하기 위한 프리차지(precharge) 회로,
상기 클럭 신호에 응답하여 상기 프리차지 회로와 상보적으로 활성화되고, 상기 제1 및 제2 용량 소자를
출력 노드 - 상기 출력 노드에서 기준 전압이 발생됨 - 에 전기적으로 결합하는 미켈라이즈 회로
를 포함하는 내부 전압 발생 회로.

청구항 3. 내부 전압 발생 회로에 있어서,

내부 전압을 전달하기 위한 내부 전압선,

제어 전압과 상기 내부 전압의 차에 따른 전류를 생기게 하는 차 검출용 트랜지스터,

상기 차 검출용 트랜지스터에 의해 생긴 전류에 따라 충전 전압이 결정되는 용량 소자,

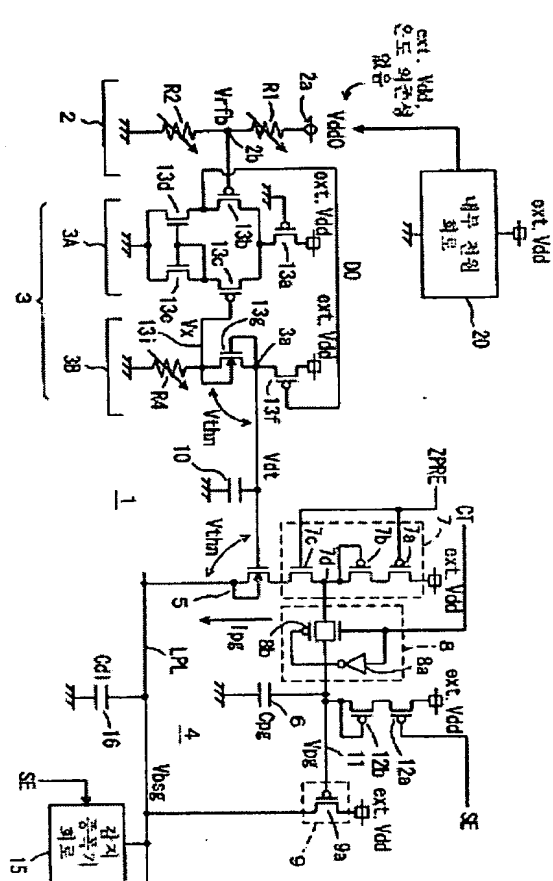
상기 용량 소자의 충전 전압에 따라 상기 내부 전압선과 전원 노드 사이에 전류의 흐름을 생기게 하는 전
류 드라이브 트랜지스터, 및

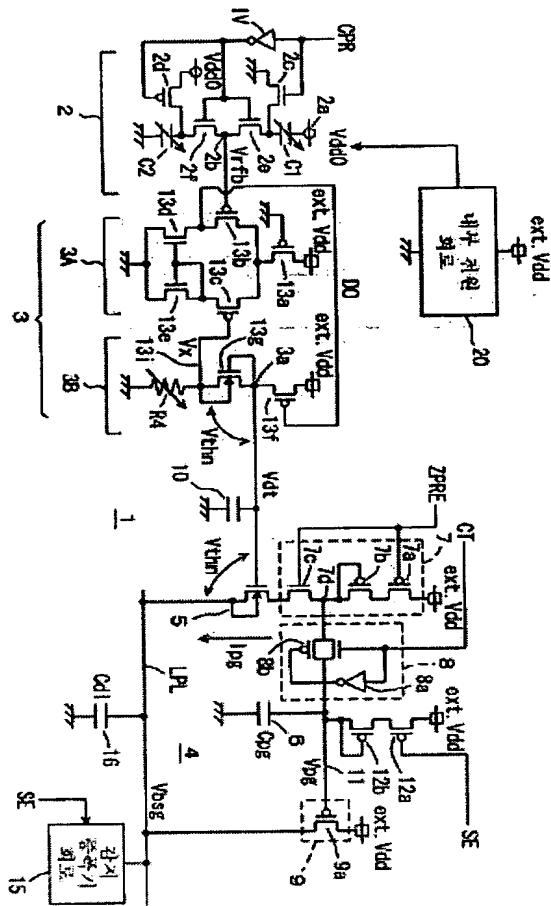
상기 제어 전압을 발생시키고, 상기 차 검출용 트랜지스터를 통해 상기 내부 전압선의 전압에 나타나는
온도 의존성을 상쇄하도록 상기 제어 전압을 생성하는 제어 전압 발생 회로

를 포함하는 내부 전압 발생 회로.

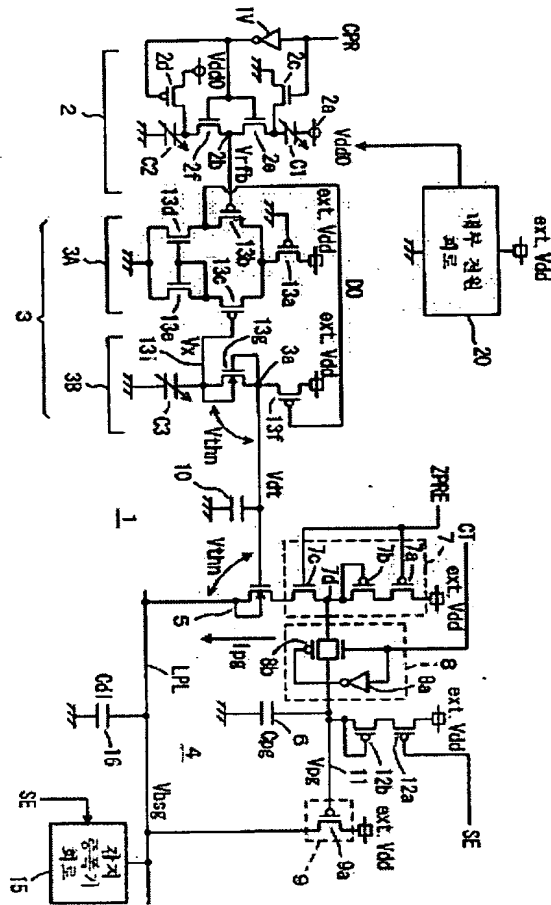
도면

도면1

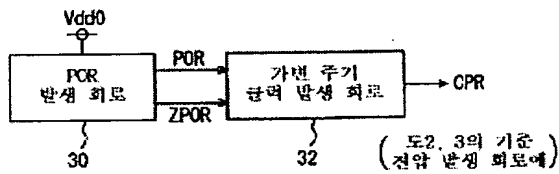




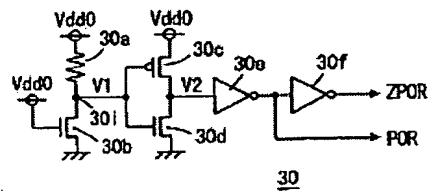
도 23



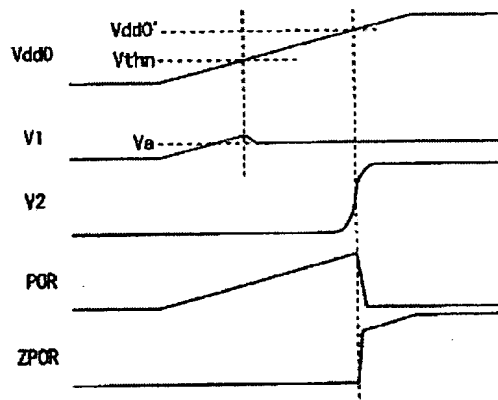
도 24



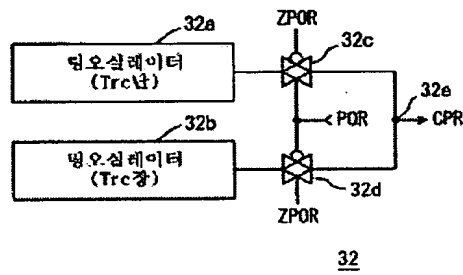
도 25



도 16

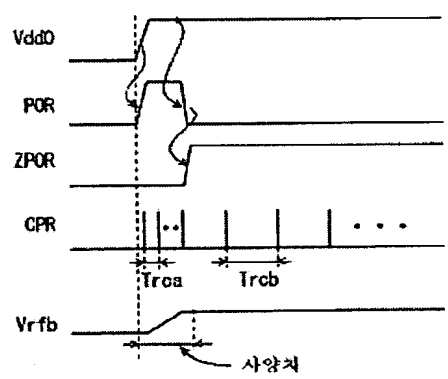


도 17

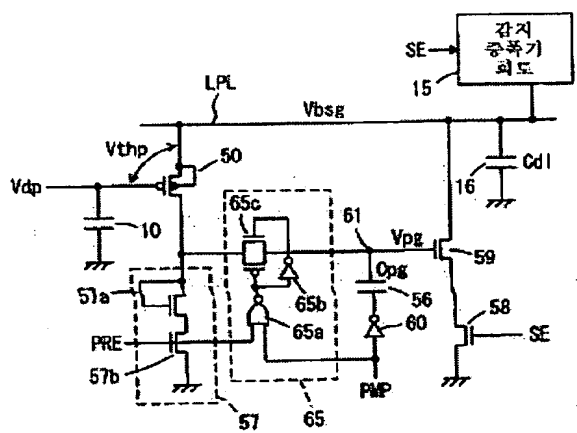


32

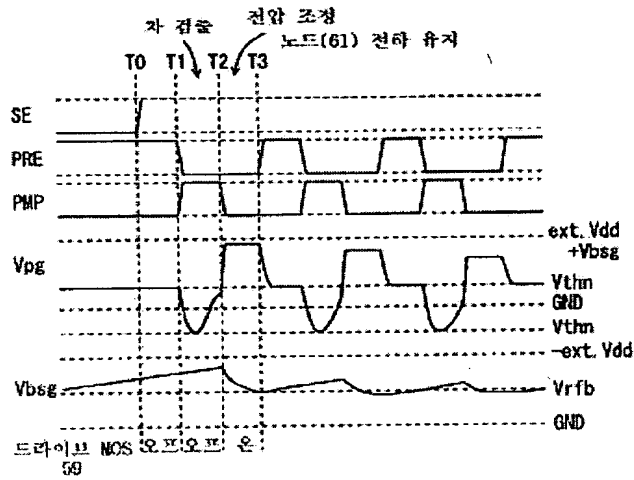
도 18



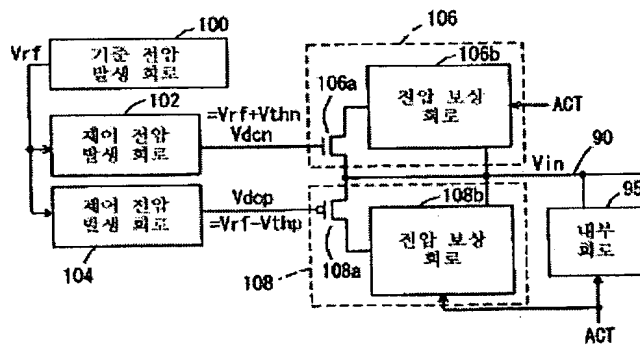
도면 13



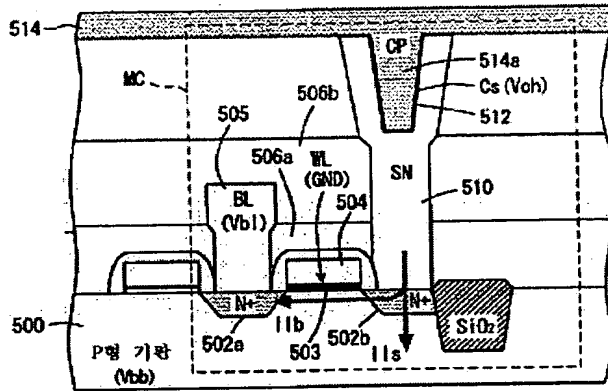
도면 14



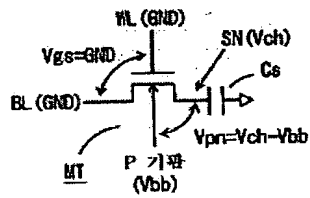
도면 15



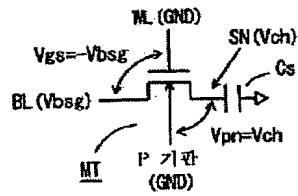
도면 18



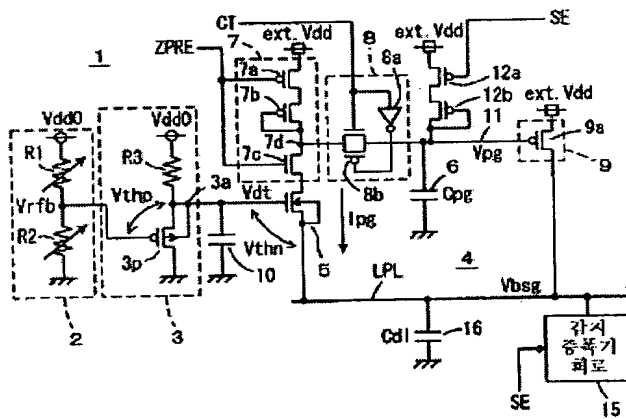
도면 17a



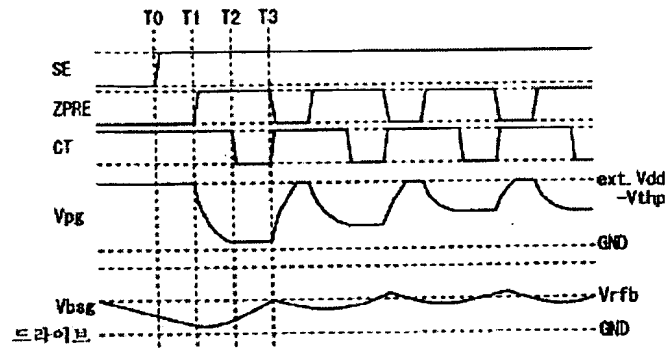
도면 17b



도면 18a



도면 18b



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.